

MRC: 谐振时钟数字集成全局功耗优化方法^①

贾柯^②* ** ** 杨梁^{****} 王剑^③* ** **

(* 计算机体系结构国家重点实验室(中国科学院计算技术研究所) 北京 100190)

(** 中国科学院计算技术研究所 北京 100190)

(*** 中国科学院大学 北京 100049)

(**** 龙芯中科技术股份有限公司 北京 100190)

摘要 本研究针对谐振时钟网络在集成电路设计中的数字化实现,提出了一种全局时钟功耗优化(MRC)方法,简化了谐振时钟网络在数字化设计中的集成过程。当前,依赖传统仿真工具构建谐振网络的仿真周期较长,且现有谐振电路模型无法满足快速设计与数字化建库要求。本文根据谐振电路三段式电路状态提出一种折线化模型降阶方法,可快速实现对当前各类谐振电路波形的准确刻画;本文同时基于此模型给出全局功耗优化目标函数,为电路选型提供指导。与 12 nm Fin-FET 工艺下实际电路的 Spice 后仿结果进行比较,本文模型精确度在 90% 以上,可以准确模拟实际功耗变化趋势,基于 Matlab 实现的优化方案相比 Spice 仿真提速 10^5 倍。

关键词 谐振时钟;低功耗设计;功耗模型;设计方法学;大规模集成电路时钟设计

0 引言

当前数字集成电路中,片上时钟分布网络(clock distribution network, CDN)的功耗占到芯片总功耗的 55%^[1] ~ 70%^[2]。谐振时钟是一种常见的优化片上时钟分布网络功耗的方法,其通过在电路中引入若干电感器件,构造磁场能和电场能的相互转化通路,从而有效降低芯片的时钟功耗,被广泛应用于各种商业处理器中^[3-4]。

但是,谐振电路在当前数字化集成过程中存在以下问题。(1)谐振电路波形不再符合现有模型中“一维折线”原则。在集成电路的数字化抽象过程中,对于信号翻转过程,通常使用一维折线波形进行拟合,并以此抽取出电路必要延时、传输时间等参数。如果将上述一维折线模型直接用于谐振电路,

会导致谐振电路的关键信息丢失,无法对电路功耗等信息进行区分,例如,对于传统谐振时钟电路结构^[5],在不同电感值和不同互补金属氧化物半导体(complementary metal oxide semiconductor, CMOS)器件尺寸的组合下,电路完全可以具有相同的一维折线模型,彼此的功耗值情况却可存在 3 倍以上差距。(2)只考虑谐振部位的功耗情况无法获得全局功耗最优结果。当谐振电路的功耗最优时,往往其输出信号充放电斜率较差,导致下一级单元的短路功耗严重。因此,如果按照传统优化思路^[6],可能出现谐振处的功耗最优,而后续负载的功耗较差的情况,最终导致谐振时钟网络全局功耗优化能力受限甚至恶化。

而当前对电路性能估算较为准确的电路级仿真流程实现代价较大,以通用仿真工具 Spice 为代表,虽然结果参考性强,但仿真时间较长,且对于大规模

① 中国科学院战略性先导科技专项(XDC05020100)资助项目。

② 女,1995年生,博士生;研究方向:片上谐振电路,低功耗时钟网络设计;E-mail: jiake20b@ict.ac.cn。

③ 通信作者,E-mail: jw@ict.ac.cn。

(收稿日期:2022-04-20)

仿真任务容易失效,因此,无法有效集成到数字电路设计过程中。其余相关谐振电路模型研究主要从电路能域角度进行分析^[7-9],并不适用于当前更为广泛使用的周期关断式谐振时钟电路(dead-timing controlling resonant clock, DRC)^[10],无法准确挖掘电路的功耗优化潜力。

本文从通用谐振时钟结构出发,提出一种全局时钟功耗优化设计方法(modeling and optimization method for resonant clock circuits, MRC)。该方法首先给出一种谐振电路的折线化电路模型与功耗计算模型;其次,在此基础上发展出一种可综合考虑多级电路功耗情况的全局功耗优化方案;最后,以 DRC 电路为例,对上述模型的计算结果进行分析。

1 相关工作

本节将对谐振电路的相关模型及计算简化方案进行概括,谐振电路模型的研究主要目标为:(1)相比 Spice 仿真,显著提高电路迭代速度,降低电路延时、功耗等参数计算时间;(2)可用于确定电路驱动能力、电感大小、负载电容大小等参数,对电路实现提供指导;(3)可集成到数字电路设计流程,便于构建单元库文件。

相关研究中主要建模思路可以分为以下 3 类。

(1)使用简化公式收束求解区间,并依赖 Spice

仿真校正。

根据谐振电路性质,谐振周期 T 可以表示为 $T = 2\pi \sqrt{LC}$,其中 L 和 C 分别对应电路电感值和电容值。因此,可通过将待求解的复杂系统不断简化,向上述公式靠拢,进而按照上述公式对当前实际系统进行求解。但是,由于在简化过程中丢失了部分电路细节,求解结果只是划定了一个可能区间,需要在此区间内使用 Spice 仿真获得精确解。相比直接使用 Spice 进行精确遍历,此方案可在一定程度上节约电路求解的迭代时间。例如,文献[9,11]在构建电感分布网络时,每次迭代中均首先使用上述公式对目标电感值进行估算,然后在估算结果的基础上使用 Spice 仿真对可能参数进行评估。文献[12]对 3D 芯片中使用层间通孔构建电感谐振结构进行了研究,同样依赖上述公式对目标电感值进行估计。

在上述方案基础上,相关研究结合实际应用环境对其进行了补充。文献[13]进一步推导出其在变频变压环境下的变形算法,可以综合考虑电感在不同工作频率时的表现,从而结合芯片不同工作频率占比,确定最佳电感位置与大小。如图 1(a)所示,当谐振频率大于工作频率时,可将电感 L 看作是分立器件 L_1 与 L_2 并联,其中 L_1 和负载电容 C 构成的并联谐振周期与当前时钟周期一致, L_2 对应变频时钟下多余电感参数带来的负面影响。文献[14]进一步考虑了时钟连线对原始公式的影响。

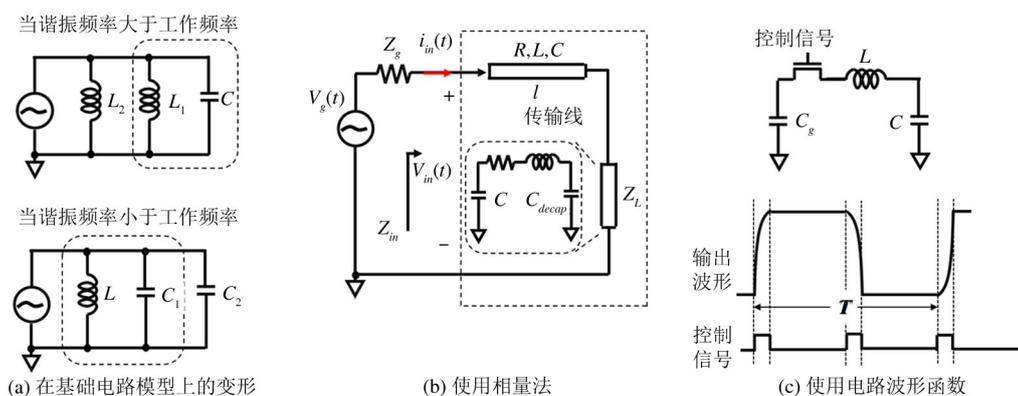


图 1 现有谐振电路建模思路分类示意图

上述方案中,原始谐振公式对复杂谐振系统只能做到初步估计,最终依旧依赖 Spice 仿真,设计周期较长,且对于周期关断式谐振时钟电路等其他复

杂谐振电路并不适用,大大限制了算法迭代的效率和适用度,也对电路设计环境提出更高的要求。

(2)基于相量法构造系统传递函数。

文献[8]根据谐振电路阻抗信息,建立电路传递函数 H ,当系统传递函数在谐振角频率 ω 处满足 $|H(j\omega)| \gg 0.9$ 时,认为此时谐振电路的时钟偏斜满足要求。基于此方案,文献[7]对无缓冲单元时钟系统进行分析,并对系统的阻抗 Z_L 进行计算,系统激励模型如图 1(b)所示,将时钟树所在网络看作双端模组,要求系统满足已有传递函数限制的前提下,尽量增加电源电阻,以减小系统功耗。

相量法是周期性电路的基础分析方法之一,此方法计算简便,在估算系统功耗信息时往往更加迅速,可以快速对电路相关参数进行评估。但是,相量法默认输入信号为正弦函数,与数字电路中的方波形式相差较大,难以表征信号真实斜率等时域信息。

(3) 从时域角度建立波形函数。

文献[15]假设谐振电路在振荡周期的半周期处到达电源电平(图 1(c)),并对此过程的充电电流波形进行计算,从而将充电能量进一步定义为上述电流的积分结果,建立基于电路参数的功耗表达式。但是,上述假设并不现实:1) 振荡电路在半周期时到达的电平值并不确定,例如,当电感寄生电阻较大时,振荡电路所能恢复的最高点电平将小于系统电压;当电感寄生电阻较小时,振荡电路在半周期处可能过充到一个超过系统电压的电平值。因此,文中能量积分式的积分边界无法笼统定义为半谐振周期对应时间,电流波形表达式中的正弦项也无法直接换算为常数,文中计算结果只是谐振电路的一个特例。2) 系统谐振激励的撤离时间可能对应波形的任意位置,即便时刻检查电感充电状态、实时控制电感支路开关,让谐振激励刚好在震荡最高点时断开电路也是十分困难的。

文献[16]同样要求半谐振周期时电路恰好完成满摆幅充电或放电过程,为保证此约束,本文结合谐振波形,对开关器件的尺寸进行了规定。同时,本文进一步将电路功耗定义为在时钟边沿处,所有电阻上功耗和开关器件输入功耗之和。因此,此方法只考虑谐振电路在时钟边沿处的功耗,忽略了谐振电路在电平保持时由电感支路造成的功耗损失,导致功耗估算不够完整。

本文同样从时域角度出发,对电路波形函数进

行分析,主要贡献有:(1) 提出一种可用于数字集成过程的电路分段模型,摒弃了已有研究中对谐振半周期充电结果的假设,通过对关键电路波形状态进行折线拟合,在保证可用于数字集成电路设计流程的前提下,相比传统一维折线模型,显著提高了谐振电路的拟合准确度。(2) 给出全局电路功耗计算模型,本文相比已有研究,对于谐振级功耗,不仅考虑了模型在信号边沿处的功耗损失,还引入了对波形电平保持状态下的功耗观察;对于全局功耗,不仅考虑谐振级本地功耗,还综合考虑了引入谐振后系统上游和下游的功耗变化。从而构建出更加完整、适用面更广的谐振电路模型。

2 谐振电路模型及其简化

本节将从 DRC 电路入手,根据电路工作特征提出一种折线化电路简化方法,并在此基础上将模型推广到其他谐振电路。2.1 节将对现有模型在计算功耗时的问题进行简要说明,并基于此在 2.2 节给出模型降阶原则和公式解耦方法。

图 2 给出 DRC 电路结构及其对应不同控制波形下的等效电路结构。在一个时钟周期内,按照输入信号 clk_p 和 clk_n 的状态,电路可分解为:只有电感作用的谐振态(LC state)、上拉支路和电感支路同时作用的充电态(Up state)和下拉支路和电感支路同时作用的放电态(Down state) 3 种模式。电路在每个时钟周期内,实现一次“谐振态-放电态-谐振态-充电态”循环,2 个谐振态电路一致,具体波形情况由进入此状态时的初始电容电压和电感电流决定。表 1 列出本文所有关键缩写及对应含义。

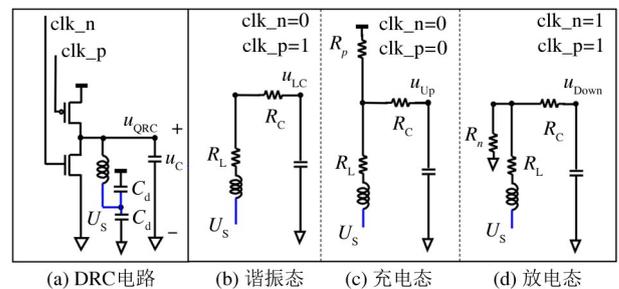


图 2 DRC 电路在不同输入信号下的 3 种等效电路

表 1 本文所用符号查找表

缩写	对应含义
C	总负载电容, 包括线网电容 C_{wire} 和下一级单元的输入电容 C_{in}
C_d	偏置电容, 用于抬高电感接地端的电压, 并满足 $C_d \gg C$
L	电路等效电感值
R_{n-l}/R_{p-l}	PMOS 和 NMOS 的导通等效电阻, 通常有 $R_n \approx R_p$ 。后缀数字 l 对应器件在系统中所在级数
R_L	电感支路的总电阻, 包括电感寄生电阻、线网寄生阻抗等
R_C	负载支路的总电阻
V/U_S	电源电平/电感偏置电平
Gnd	系统地电平
u_C	负载端电压, 在 3 种工作状态下分别对应 u_{C-LC} 、 u_{C-Up} 和 u_{C-Down}
$U_{\text{Up-cons}}/$ $U_{\text{Down-cons}}$	分别对应充电态和放电态下电路的稳定电平
t_{Dr}	每半周期内 DRC 电路处于谐振态下的时间

2.1 已有模型的局限性

文献[17]给出上述 3 种状态对应电路波形表达式, 在谐振态下, 输出端电压波形为

$$u_{C-LC}(t) = Ae^{-\delta t} \sin(\omega t + \beta) + U_S \quad (1)$$

其中 $\delta = \frac{R_C + R_L}{2L}$, $\omega_0 = \frac{1}{LC}$, $\omega = \sqrt{\omega_0^2 - \delta^2}$, 常数项 A 和 β 由电路的初始状态联立求解。

在充电态和放电态下, 输出端电压波形为

$$u_{C-Up/Down}(t) = A_1 e^{p_1 t} + A_2 e^{p_2 t} + U_{\text{Up/Down-cons}} \quad (2)$$

其中, p_1 和 p_2 由电路参数 R_C 、 R_L 、 R_n 和 R_p 决定, A_1 和 A_2 为由初始状态决定的常数项, 电路稳定电平为:

$$U_{\text{Up/Down-cons}} = \frac{R_{n(p)}}{R_{n(p)} + R_L} U_S \left(+ \frac{R_L}{R_{n(p)} + R_L} V \right) \quad (3)$$

根据电路基本性质, 设电阻两端电压为 $u_R(t)$, 电阻消耗能量为 $J_R = \int u_R(t)^2 / R dt$ 。针对此积分关系, 由于基于文献[17]的完整电路模型式(1)和(2)无法获得对应符号积分表达式, 且对其中的常数项 A 、 β 、 A_1 和 A_2 求解时只有数值解, 即每周期波形求解均依赖上一周期结果, 且各不相同, 因此积分结果也只有数值解。只有通过遍历所有情况才能获得电路

最佳状态, 无法满足数字集成电路设计时的快速迭代和直接求解要求。为使得功耗和电路参数之间的相对关系更加直接, 本节将分析视角集中在电路常见状态, 抛弃数字集成电路中不稳定、不正确甚至导致后续电路失效的极端状态, 对电路波形进行进一步降阶化简, 进而获得功耗和电路参数的直接表达式, 以期更直观地讨论。

2.2 电路折线化简化模型

波形化简的思路为: (1) 用特征起始状态代替单次起始状态, 将每周期计算过程解耦; (2) 将上一节的曲线模型简化为由若干直线构成的折线模型, 降低公式积分难度。下面将详细讨论 3 种模式下对应折线的斜率估算方式。

2.2.1 谐振态关键参数简化

对于谐振态, 如图 3(a) 所示, 首先确定式(1)中常数项 A 和 β 的近似表达式, 过程如下。在电路初始状态为 $u_C(0-) = V$ 、 $i_L(0-) = 0$ 时, 电路对应常数解 $A_{\text{opt_LC}}$ 和 β_{opt} 为

$$\begin{cases} A_{\text{opt_LC}} = (V - U_S) \frac{\omega_0}{\omega} \\ = (V - U_S) \sqrt{\frac{4L}{4L - C(R_L + R_C)^2}} \\ \beta_{\text{opt}} = \arctan \frac{\omega}{\delta} = \arctan \left(\sqrt{\frac{4L}{C(R_L + R_C)^2} - 1} \right) \end{cases} \quad (4)$$

考虑到片上时钟分布网络往往具有低阻特性, 且常见电感值 L 单位为 nH, 电容值 C 单位为 pf, 可得近似关系 $C(R_L + R_C)^2 \ll L$, 代入上式后可以进一步化简为

$$\begin{cases} A_{\text{opt_LC}} \approx V - U_S \\ \beta_{\text{opt}} \approx \arctan(\sqrt{1000}) \approx 1.54 \end{cases} \quad (5)$$

在这里取 $\sin(\omega t + \beta) = 0$ 时对应时刻 $t_{\text{LC_smax}}$ 处的电路斜率, 作为谐振态下折线斜率(图 3(a) 实线), 当使用一次函数对谐振态的半周期进行拟合时, 电路斜率 S_{LC} 如下, 易证其随电感值单调增加:

$$\begin{aligned} S_{\text{LC}} &\triangleq f(L) A_{\text{opt_LC}} \omega e^{-\delta t_{\text{LC_smax}}} \Big|_{t_{\text{LC_smax}} = \frac{\pi - \beta_{\text{opt}}}{\omega}} \\ &\approx f(L) \frac{V - U_S}{\sqrt{LC}} e^{-\frac{4(R_L + R_C)}{5} \sqrt{\frac{C}{L}}} \end{aligned} \quad (6)$$

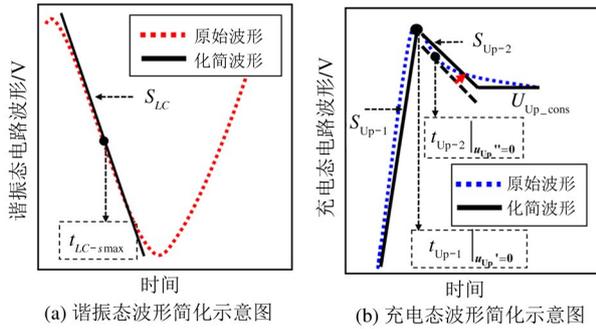
其中 $f(L)$ 为仅和 L 相关的经验因子。

2.2.2 充电态和放电态关键参数简化

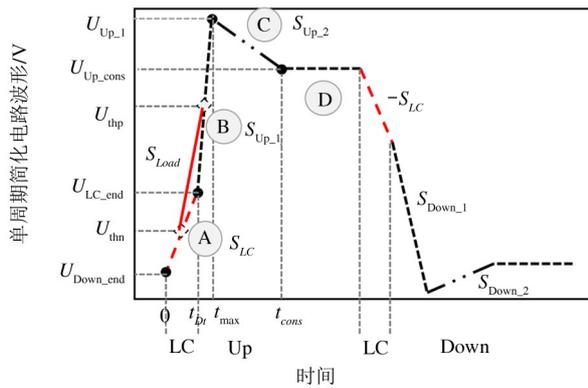
对于充电态,如图 3(b)所示,将波形简化为由三段直线组成的折线图,下文将依次给出三段折线斜率近似计算方式。当 $C(R_L + R_C)^2 \ll L$ 时,此状态下电路波形求解判别式为 $\Delta_{Up} \approx (L/R)^2$, 故式(2)中电路系数 p_1 和 p_2 及常数项 A_1 和 A_2 可以近似为

$$\begin{cases} p_1 \approx -\frac{R_p + R_L}{L} \\ p_2 \approx -\frac{1}{C(R_C + R_p)} \end{cases} \quad (7)$$

$$\begin{cases} A_{1Up-opt} = \left(\frac{V}{C(R_C + R_p)} + U_{Up-cons} p_2 \right) \frac{LC(R_C + R_p)}{R_p \sqrt{\Delta_{Up}}} \\ \approx V - U_{Up-cons} \\ A_{2Up-opt} = -U_{Up-cons} - A_{1Up-cons} \approx -V \end{cases} \quad (8)$$



(a) 谐振态波形简化示意图 (b) 充电态波形简化示意图



(c) 电路正半周期折线式简化波形

图 3 DRC 电路波形降阶原理示意图

当电路一阶导数 $u'_{Up}(t) = 0$ 时,电压上升到最高点 $U_{Up,1}$, 此时对应时刻 $t_{Up,1}$ 为

$$\begin{aligned} t_{Up,1} &= \frac{1}{p_1 - p_2} \ln \left(\frac{-A_{2Up-opt} p_2}{A_{1Up-opt} p_1} \right) \\ &\approx (R_C + R_p) C \ln \frac{2L}{R_p (R_C + R_p) C} \end{aligned} \quad (9)$$

将式(7)与式(9)共同代入式(2)后,可解得充电态下电压最高点 $U_{Up,1}$ 有:

$$\begin{aligned} U_{Up,1} &= \frac{R_p V}{2(R_p + R_L)} \left(\frac{2(R_p + R_L)}{R_p} \right)^{\frac{(R_p + R_L)(R_C + R_p)C}{L}} \\ &\quad - \frac{VR_p(R_C + R_p)C}{2L} + \frac{V(R_p + 2R_L)}{2(R_p + R_L)} \end{aligned} \quad (10)$$

至此,第 1 段折线斜率可通过下式直接求得:

$$S_{Up,1} = \frac{U_{Up,1} - 0}{t_{Up,1} - 0} = \frac{U_{Up,1}}{t_{Up,1}} \quad (11)$$

对于第 2 段折线,其斜率可近似为电路二阶导数 $u''_{Up}(t) = 0$ 时对应的电路斜率,对应时刻 $t_{Up,2}$ 为

$$\begin{aligned} t_{Up,2} &= \frac{1}{p_1 - p_2} \ln \frac{-A_{2Up-opt} p_2^2}{A_{1Up-opt} p_1^2} \\ &\approx (R_C + R_p) C \ln \frac{2L^2}{R_p (R_C + R_p)^2 (R_p + R_L) C^2} \end{aligned} \quad (12)$$

其中 p_1 和 p_2 在式(7)、 $A_{1Up-opt}$ 和 $A_{2Up-opt}$ 在式(8)中求出,将 $t_{Up,2}$ 代入 $u''_{Up}(t)$ 可得电路斜率 $S_{Up,2}$ 为

$$\begin{aligned} S_{Up,2} &= -\frac{R_p V}{2L} \left(\frac{2(R_p + R_L)}{R_p} \right)^{\frac{(R_p + R_L)(R_C + R_p)C}{L}} \\ &\quad - \frac{VR_p(R_C + R_p)^2 C}{2L^2} \end{aligned} \quad (13)$$

考虑到在数字集成电路中,负载端为下一级 CMOS 的栅端,因此电路上升最高点 $U_{Up,1}$ 需小于工艺允许的最大工作电压 $V_{techmax}$, 也就是电路需要补充约束:

$$U_{Up,1} \leq V_{techmax} \quad (14)$$

对于放电态,当设计满足 $R_n \approx R_p$ 时,可对其关键参数进行如下简化(参数定义见图 3):

$$\begin{cases} S_{Down,1} = -S_{Up,1} \\ S_{Down,2} = -S_{Up,2} \\ U_{Down,1} = V - U_{Up,1} + Gnd \end{cases} \quad (15)$$

3 功耗优化模型 MRC

本节在上一节给出的折线斜率的基础上,提出一种全局功耗计算模型,将谐振电路作为中间级,从而综合考虑谐振对前一级和后一级的影响。3.1 节给

出模型定义,并推导出最小功耗目标函数;3.2节和3.3节分别给出目标函数中2个组成部分的具体功耗计算式;3.4节将模型应用于4种常见谐振电路结构;3.5节对MRC的具体实现过程进行介绍。

3.1 全局功耗模型

为完整讨论谐振电路在整体系统下的功耗模型,在这里考虑连续3级反相器构成的串联电路构成的系统,如图4所示,其中谐振部分位于第2级。按照是否在第2级负载处挂接电感支路,将电路分为传统无谐振模式RC和谐振模式,并将后者按照第2级输入端是否短接为同一个信号,进一步分为传统谐振时钟电路(conventional resonant clock, CRC)^[5]

和周期关断式谐振时钟电路DRC模式,表2给出上述3种电路的功耗对比结果。

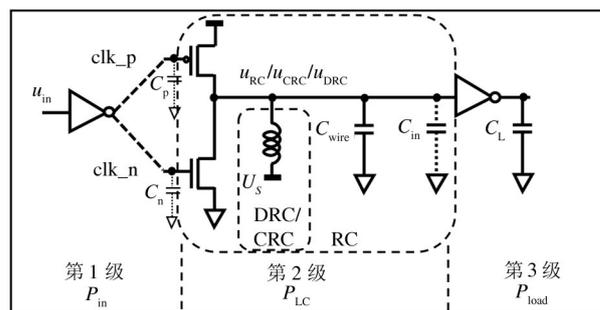


图4 谐振电路系统功耗模型

表2 3种电路对应系统功耗计算式及比较结果

功耗	RC	CRC	DRC	P_{DRC}/P_{RC}	P_{DRC}/P_{CRC}
P_{dyn-1}	$(C_p + c_n)V^2f$	$(C_p + c_n)V^2f$	$(C_p + c_n)V^2f$	1	1
P_{in}	P_{dp-1}	$VI_{peak-1}t_{SC-1}f$	$VI_{peak-1}t_{SC-1}f$	1	1
	P_{stat-1}	VI_{leak-1}	VI_{leak-1}	1	1
P_{dyn-2}	$(C_{wire} + C_{in})V^2f$	$\frac{\pi(C_{wire} + C_{in})V^2f}{2Q}$	式(19)	$> \frac{\pi}{2Q}(1 - V_{LC-end}/V)^2$	$> (1 - V_{LC-end}/V)^2$
P_{LC}	P_{dp-2}	$VI_{peak-2}t_{SC-2}f$	$VI_{peak-2}t_{SC-2}f$	≈ 0	∞
	P_{stat-2}	VI_{leak-2}	VI_{leak-2}	1	1
P_{dyn-3}	C_LV^2f	C_LV^2f	C_LV^2f	1	1
P_{load}	P_{dp-3}	$VI_{peak-3}t_{SC-RC}f$	$VI_{peak-3}t_{SC-CRC}f$	$\frac{t_{SC-DRC}^{①}}{t_{SC-RC}^{②}}$	$\frac{t_{SC-DRC}^{①}}{t_{SC-CRC}^{③}}$
	P_{stat-3}	VI_{leak-3}	VI_{leak-3}	1	1

注:①式(21) ② $t_{SC-RC} = (R_p + R_c)C_{in}\ln(\frac{V - U_{thp}}{V - U_{thn}})$ ③ $t_{SC-CRC} \approx (U_{thp} - U_{thn})/S_{Up,1}$

整体系统功耗由输入级功耗 P_{in} 、谐振级功耗 P_{LC} 和负载级功耗 P_{load} 3部分组成,因此上述3级系统总功耗 P 可以表示为

$$P = P_{in} + P_{LC} + P_{load} \quad (16)$$

其中,每一级器件功耗均可进一步拆分为^[18]

$$P_{in/LC/load} = P_{dyn} + P_{dp} + P_{stat} \\ = C_LV^2f + VI_{peak}t_{SC}f + VI_{leak} \quad (17)$$

其中 f 为时钟频率。上式根据产生功耗的原因将每一级功耗进一步分为:(1)电路的翻转(dynamic)功耗 P_{dyn} ,通过对负载电容 C_L 进行周期性充放电产生。(2)反相器的短路(dissipation)功耗 P_{dp} ,在输入信号的翻转过程中,存在一段时间 t_{SC} 使得上下CMOS管均导通,从而产生电源和地之间的短路电

流。文献[18]中将此部分功耗近似为一个三角形,三角形的高主要取决于器件的饱和电流 I_{peak} ,三角形的底边为上下器件均导通的时间 t_{SC} 。(3)反相器的静态功耗 P_{stat} ,由CMOS的漏电流 I_{leak} 决定, I_{leak} 的大小取决于器件本身工艺和尺寸等参数。

基于上述定义,对于图4所示3级反相器串联系统,当3级CMOS器件尺寸确定时,有:

(1)对于翻转功耗 P_{dyn} ,第1级和第3级驱动负载电容相同,因此功耗相同;第2级谐振级,对于CRC,电路功耗为 $\pi(C_{wire} + C_{in})V^2f/(2Q)$ ^[19],其中 Q 为电路品质因数,满足 $Q \approx \omega L/(R_c + R_L)$;对于DRC,设在谐振态下负载电平在谐振态下震荡反弹至 V_{LC-end} (图3(c)中标出),因此依赖电源充电

的电平差为 $V - V_{LC_end}$, 剩余所需充电能量约为 $\pi(C_{wire} + C_{in})(V - V_{LC_end})^2 f / (2Q)$, 但由于电感支路的存在, 电路会存在由电源向偏置电压持续放电的过程, 造成能量损失, 因此实际功耗将大于上式。此部分将在 3.2 节详细讨论。

(2) 对于短路功耗 P_{dp} , 第 1 级反相器的输入信号斜率与各自负载在 2 种模式下均一致, 因此对应短路功耗相同。第 2 级由于 DRC 电路下分开了 PMOS 和 NMOS 的开启时间, 从功能上保证短路功耗近似为 0。第 3 级反相器的输入端由于前一级谐振电路的加入, 不同的电感值和控制信号意味着不同的斜率, 且常见情况下 DRC 电路的充放电时间 t_{sc} (斜率) 大于(小于)传统电路, 因此会造成第 3 级反相器静态功耗的增加。

(3) 对于静态功耗 P_{stat} , 由于 2 种模式下晶体管参数相同, 故系统静态功耗均相同。

综上, 对于图 4 所示系统, DRC 电路的功耗优化问题可以定义为: 在给定电路参数(各级器件尺寸, 各级驱动负载电容 $C_p, C_n, C_{wire}, C_{in}, C_L$ 和时钟频率 f) 后, 给出使得系统功耗最小的电感值 L 和谐振态对应时间 t_{Dr} 。优化目标函数如下:

$$\begin{aligned} \text{Minimize: } & P_{dyn-1} + P_{dp-1} + P_{stat-1} + P_{dyn-2} + P_{dp-2} \\ & + P_{stat-2} + P_{dyn-3} + P_{dp-3} + P_{stat-3} \\ \propto & P_{dyn-2}(C_{wire}, C_{in}, R_{p-2}, R_{n-2}, f, t_{Dr}, L) \\ & + P_{dp-3}(C_{wire}, C_{in}, R_{p-2}, R_{n-2}, f, t_{Dr}, L, I_{peak-3}) \end{aligned} \quad (18)$$

其中 I_{peak-3} 为第 3 级负载级的饱和电流。上述目标函数表明, 当前系统的功耗主要由谐振级的翻转功耗和负载级的短路功耗决定。

3.2 谐振级翻转功耗表征

本节将给出图 4 中谐振级的翻转功耗, 也就是式(18)的前半部分的具体计算方式, 考虑到时钟电路充电过程主要集中在时钟周期的正半周期, 为简化计算, 下文将集中对时钟正半周期的能量消耗过程进行讨论。

根据 2.2 节, 正半周期波形拟合为由 4 段直线组成的分段函数, 各段能量流转方向如图 5 所示。对应能量消耗如下: (1) 折线 A (图 3(a) 中标出) 为谐振态, 其电压上升完全依靠电感支路进行充能, 无

需电源进行能量补充; (2) 折线 B 处由电源和电感同时充电, 二者分别在 R_p 和 R_L 上发生能量消耗, 由于后者主要来源为电感存储的磁场能, 为上周期存储复用的部分, 因此只考虑 R_p 处的能量消耗。(3) 折线 C 处由电源和负载同时向电感支路进行充电, 因此同时考虑 R_p 和 R_L 上的能量消耗。(4) 折线 D 处负载电压不变, 因此负载支路电流为 0, 电路存在从电源到偏置电压上的短路功耗。综上, 此阶段能量可以表示为

$$\begin{aligned} J_{dyn-2} = & \int_{t_{Dr}}^{t_{max}} \frac{(V - R_c C S_{Up,1} - S_{Up,1} t - b_{Up,1})^2}{R_p} + \dots \dots \dots \text{折线 B} \\ & \int_{t_{max}}^{t_{cons}} \frac{(V + R_c C S_{Up,2} - S_{Up,2} t - b_{Up,2})^2}{R_p} + \dots \dots \dots \text{折线 C}(R_p) \\ & \int_{t_{max}}^{t_{cons}} \left(\frac{V + R_c C S_{Up,2} - S_{Up,2} t - b_{Up,2}}{R_p} + C S_{Up,2} \right)^2 R_L + \dots \dots \dots \text{折线 C}(R_L) \\ & \int_{t_{cons}}^{T/2} \frac{(V - U_s)^2}{R_p + R_L} \dots \dots \dots \text{折线 D} \end{aligned} \quad (19)$$

其中 t_{max} 为电路在充电态上升到最高点的时间, 有 $t_{max} = (U_{Up,1} - S_{LC} t_{Dr} - U_{Down_end}) / S_{Up,2} + t_{Dr}$; U_{Down_end} 为正半周期的开始时刻电平, 通过负半周期对应 3 段直线联立求解; $b_{Up,1}$ 和 $b_{Up,2}$ 为充电态前两段直线一次函数的常数项, 对应折线 B 和 C, 分别有 $b_{Up,1} = U_{LC_end} - S_{Up,1} t_{Dr}$, $b_{Up,2} = U_{Up,1} - S_{Up,2} [(U_{Up,1} - U_{LC_end}) / S_{Up,1} + t_{Dr}]$; t_{cons} 为电路进入充电态第 3 段的时刻, 对应折线 D, 有 $t_{cons} = (U_{Up_cons} - b_{Up,2}) / S_{Up,2}$ 。

故而系统功耗表达式(18)中的第 1 部分 $P_{dyn-2}(C_{wire}, C_{in}, R_{p-2}, R_{n-2}, f, t_{Dr}, L) = J_{dyn-2} f$ 求得。

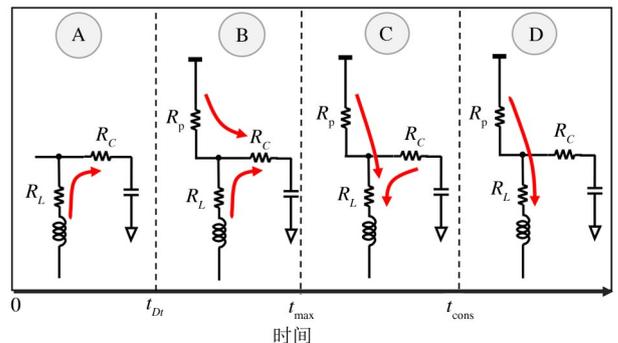


图 5 电路正半周期能量流转示意图

3.3 负载级短路功耗表征

本节将给出负载级的短路功耗,也就是式(18)后半部分的计算式,根据上文可知,此部分功耗与谐振级输出信号传输时间 t_{SC} 成正比,有:

$$P_{dp-3} = VI_{peak-3}t_{SC}f \quad (20)$$

设电平 U_{thp} 与 U_{thn} 分别为 PMOS 和 NMOS 的导通电平,因此对应器件的激励信号在上述电平之间的传输延时即为器件短路功耗的产生时间,故谐振级输出信号导致下一级器件发生短路的时间 t_{SC-DRC} 可通过下式计算:

$$\begin{aligned} t_{SC-DRC} &= t_{u=U_{thp}} - t_{u=U_{thn}} \\ &= \frac{U_{thp} - b_{Up,1}}{S_{Up,1}} - \frac{U_{thn} - U_{Down_end}}{S_{LC}} \end{aligned} \quad (21)$$

其中 $t_{u=U_{thp}}$ 、 $t_{u=U_{thn}}$ 分别为波形到达 U_{thp} 与 U_{thn} 处的时间。

为准确计算信号斜率,下面将对 t_{SC-DRC} 随电路谐振态时长 t_{Dr} 变化情况进行分类说明,随着 t_{Dr} 逐渐增加,输出波形斜率呈现图 6(a) 中的 5 种阶段,其中②~④为电路允许状态,可以看出, t_{Dr} 越大,谐振态的独立充电时间越长。同时,为保证时钟信号的单调性和稳定性约束,应避免图 7(a) ①和⑤对应 2 种状态,需要对电路做出如下约束。

(1) 当 $U_{Down_end} > U_{thn}$ 时(图 6(a)①),此时电路放电态的终止电平已经超过了下一级的 N 型金属氧化物半导体(N-metal-oxide-semiconductor, NMOS)的开启电平。这意味着在输出信号需要保持低电平的阶段,其波动已然超过下一级反相器的容忍值,也就是电路在电平保持阶段下产生不定态,发生功能错误。为避免此状态,因此电路需满足:

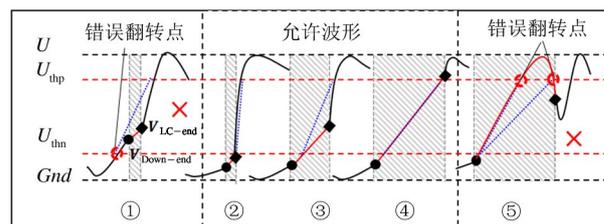
$$\begin{aligned} U_{Down_end} &\approx S_{Down,2} \left(\frac{1}{2f} - t_{Dr} - \frac{U_{Down,1} + S_{LC}t_{Dr} - V}{S_{Down,1}} \right) + U_{Down,1} \\ &\leq U_{thn} \end{aligned} \quad (22)$$

(2) 当 $U_{Down_end} \leq U_{thn}$ 时,若 t_{Dr} 继续增加,超过谐振态下的半周期长度时,此时输出波形截取到的谐振态下的波形不再单调(图 6(a)⑤),同样在设计时需避免。因此电路需满足:

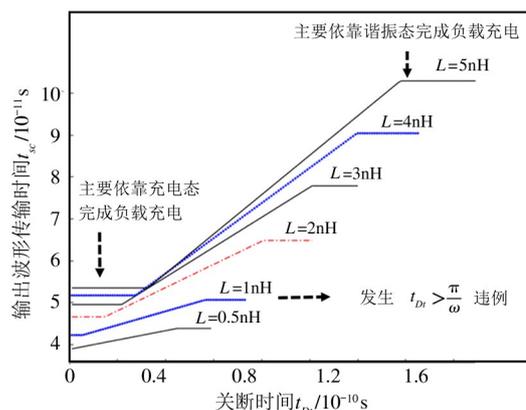
$$t_{Dr} < \frac{\pi}{\omega} \quad (23)$$

图 6(b) 进一步给出电路在不同 t_{Dr} 下对应的电

路充放电斜率变化。可以看出斜率在两端处呈现平台效应,对应图 6(a) ②和④状态; t_{Dr} 越大,引入的谐振态波形越长,整体近似斜率越大,相应负载级短路功耗越大,对应图 6(a) ③状态。而对于谐振级, t_{Dr} 越大,谐振态下充电到达的电平 U_{LC_end} 越高,也就是剩余充电态下通过电源补充的能量越少,电路谐振级翻转功耗越小。



(a) 波形上升沿分类(阴影部分对应谐振态区间)



(b) 谐振电压波形斜率随谐振态时长变化示意图

($R_L = 5 \Omega$, $R_p = R_n = 2 \Omega$, $R_C = 2 \Omega$, $C = 0.5 \text{ pf}$)

图 6 输出波形及其斜率随 t_{Dr} 变化关系示意图

3.4 本文模型下已有谐振电路性能对比

本小节对上文斜率模型在 4 种谐振电路的应用方式进行说明,包括:传统谐振电路 CRC、周期关断式谐振电路 DRC、脉冲激励谐振电路(intermittent resonant clock, IRC)^[20] 和周期性开关电感支路电路(quasi-resonant clock, QRC)^[21],如图 7 所示。(1) 对于 CRC 电路,即对应谐振态时长为 0,波形直接进入 $S_{Up,1}$ 对应阶段;(2) 对于 IRC 电路,波形先通过斜率 $-S_{LC}$ 放电,再通过 S_{LC} 充电;(3) 对于 QRC 电路,波形在每个上升沿上按照 S_{LC} 完成充放电。当电路负载电容、电感和器件参数均相同时,电路器件具有相同的开关速度 t_{MOS} ,性能比较结果如表 3 所示。

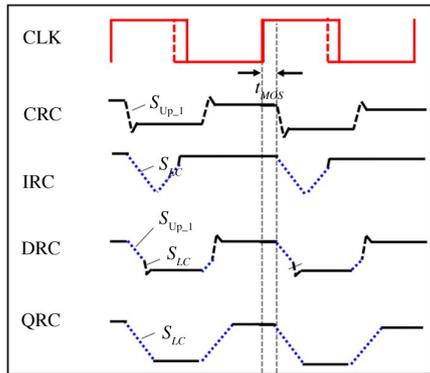


图 7 分段模型下 4 种谐振电路折线波形示意图

表 3 基于本文模型 4 种谐振电路谐振级性能比较

参数	斜率	时钟延时	功耗
CRC	$S_{Up,1}$	$t_{MOS} + \frac{V}{2S_{Up,1}}$	$J_{折线B(0-V)-C-D}$
IRC	S_{LC}	$t_{MOS} + \frac{V}{2S_{LC}}$	$J_{RC(U_{LC_end}-V)}/2$
DRC	$\approx \frac{S_{LC} + S_{Up,1}}{2}$	$t_{MOS} + \frac{V}{S_{LC} + S_{Up,1}}$	$J_{折线B(U_{LC_end}-V)-C-D}$
QRC	S_{LC}	$t_{MOS} + \frac{V}{2S_{LC}}$	$J_{RC(U_{LC_end}-V)}$

可以看出,对于输出波形斜率,当 $S_{LC} < S_{Up,1}$, CRC 的斜率最大,IRC 和 QRC 较小;对于时钟延时,设时钟延时为从时钟上升沿半电压处到输出信号的半电压处的延时,且斜率越大,延时越短,则 4 种电路的延时长度相对关系与斜率延时相对关系相反,即 CRC 电路时钟延时最小。

对于电路功耗,均可套用式(19)对应功耗计算公式进行计算。CRC 和 DRC 电路区别在于,DRC 电路在谐振态的辅助充能下,折线 B 的起始充电电平高于 CRC 对应电平,因此具有更小的功耗;IRC 和 QRC 均在电平保持状态下完全断开电感支路,因此只需要式(19)中折线 B 对应的功耗。同时,IRC 电路每周电感支路开关 1 次,QRC 电路开关 2 次,因此前者相比后者只需一半电源充电功耗,即 IRC 电路只在输出波形的上升沿处需要电源支路补充能量。综上,IRC 电路功耗性能最佳,但是时钟斜率和占空比最差。

3.5 MRC: 谐振时钟全局功耗优化方法

本节在电路分段模型和电路功耗模型的基础上归纳出一种谐振电路的功耗优化方法 MRC。

实现步骤如下。

(1) 输入当前电路参数 R_p, R_n, R_L, R_C, C 与 U_s 。

(2) 按照式(4)~(15)求出简化折线模型中的 $U_{Down_end}, U_{LC_end}, U_{Up,1}, U_{Up,2}, U_{Up-cons}$ 和折线斜率 $S_{LC}, S_{Up,1}, S_{Up,2}$ 。

(3) 按照式(19)~(23)列出和 t_{Dr} 及 L 相关的功耗积分式。

(4) 求解式(18)对应目标函数,获得功耗最佳时对应电路工作参数。

上述实现方案的根本思路为:列出电路功耗表达式,并找到函数极小值对应的解。当将此方法应用于传统 CRC 电路设计过程时,可省略谐振态对应过程,由放电态直接进入充电态第 1 阶段,也就是对应谐振态时间设置为 0。

4 实验与结果分析

本节对第 2、3 节的模型拟合结果及谐振时钟的功耗优化方法 MRC 计算结果进行介绍,具体内容:4.1 节将模型计算结果和 Spice 仿真结果进行对比讨论;4.2 节给出具体功耗优化设计方法;4.3 节将使用优化方法提取出的电路参数与 Spice 仿真下的最优化结果进行比较;4.4 节给出基于优化参数实现的 DRC 电路,相比其他结构的功耗比较结果。

4.1 电路模型准确性仿真

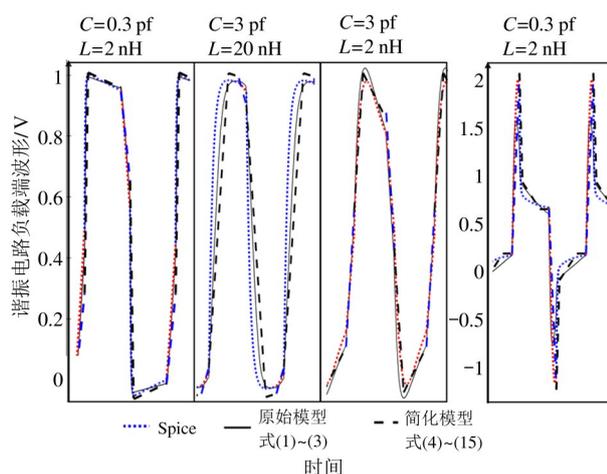
4.1.1 波形拟合准确性仿真

为证明本文拟合方法的准确性,本文在 12 nm Fin-FET 工艺上实现电路,并进行 Spice 后仿,获得对比结果;同时使用 Matlab 实现本文模型,将模型计算结果和实际仿真结果进行对比,结果如图 8 所示,简化后的折线波形可以准确反映电路趋势。本文所提模型误差在 10% 以内,和文献[8]相同,但后者不适用于 DRC 电路。

上述误差的主要来源有以下几点。(1) 针对曲线波形的折线化计算过程会抹去电路的高阶信息,导致计算存在误差。(2) 谐振系统在上电后是一个逐渐稳定的过程,往往需要 5~10 个时钟周期后方能进入稳定状态。本文选择对稳定后的波形进行拟合,因此,当系统位于初始状态时,模型误差较大。

(3) 器件带来的高阶效应, CMOS 打开和关闭为一个渐进过程, 在充电态-谐振态-放电态之间进行切换时不存在突变点, 但在上述模型中按照突变进行处理。上述过程在波形中的占比较小, 只在波形转折处有一定影响, 且与传统数字电路设计的模型处理过程一致, 因此在计算时忽略。

同时, Spice 仿真平均时间 2 h, 本文第 2 节提出的简化模型在 Matlab 中仿真速度在 0.4 s 左右, 简化后的模型相比 Spice 仿真提速 10^5 倍。



$$(f = 2.5 \text{ GHz}, R_L = 10 \Omega, R_p = R_n = 12 \Omega, R_C = 1 \Omega)$$

图 8 电路模型计算结果与 Spice 后仿结果对比

4.1.2 功耗模型准确性仿真

本节对第 3 节功耗模型 Matlab 计算结果与电路实际 Spice 仿真结果进行比较。

对于谐振级功耗, 如图 9 所示, Matlab 计算结果与 Spice 后仿结果趋势一致, 本文提出的计算

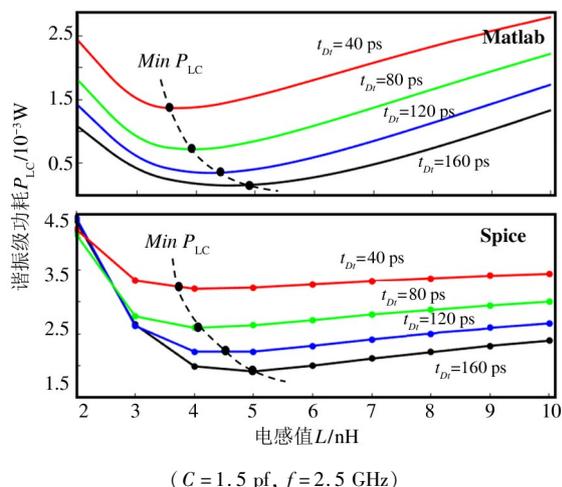


图 9 本文提出的谐振功耗模型 P_{LC} 与 Spice 后仿结果对比

式(18)和(19)可以较准确概括电路功耗来源。当前结果误差及产生原因有:(1) Matlab 整体功耗计算结果约为 Spice 仿真结果的 50%, 这是因为计算公式中只包含电路翻转功耗, 而仿真结果中同时包括了电路的静态功耗。但由于静态功耗不随电感值发生改变, 因此模型计算结果和仿真结果趋势吻合, 简化计算合理;(2) 当电感值较小时, Matlab 计算结果增长幅度小于 Spice 仿真结果, 这是因为当电感较小时, 电路品质因数降低, 电感支路对电源和偏置电压的隔离效果变差, 从电源到偏置电压的放电功耗增加。但由于实际设计时对电路品质因数存在要求, 不会工作在此区间, 因此此部分功耗的变化性质在模型中省略。

同时, 从图中可以看到, 对于谐振级功耗:(1) 在电感选值范围两端功耗较大, 这是因为电感较小时, 电路更快进入图 2(c) 中折线 D 对应的耗电状态; 而电感较大时, 式(6)对应的谐振充电斜率较小, 来不及在 t_{Dt} 阶段中依靠电感支路独立完成对电路的充电。(2) t_{Dt} 越大, 最优功耗越小, 且最优功耗对应电感值逐渐增加, 这是因为图 2 中由驱动电路和电感支路构成的放电通路存在时间随着 t_{Dt} 增加而减小, 而较大电感形成的较缓充电斜率更适合大 t_{Dt} 情况。

对于负载级功耗, 如图 10 所示, 易见负载级功耗变化趋势与图 9 谐振级相反, 在电感选值范围两端功耗较小, 这是因为:(1) 当电感较小时, 电路完全依靠谐振电路进行充电, 且对应充电斜率可以达

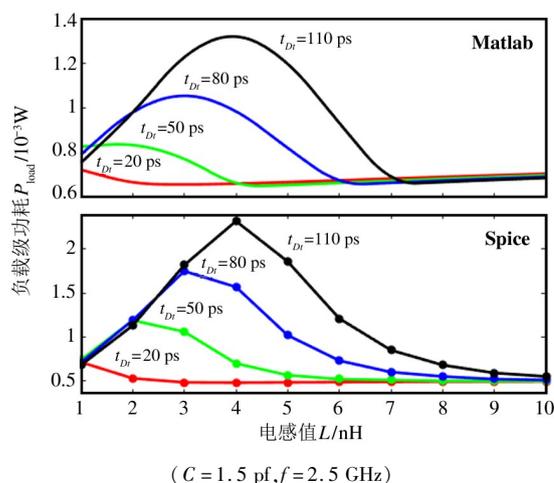


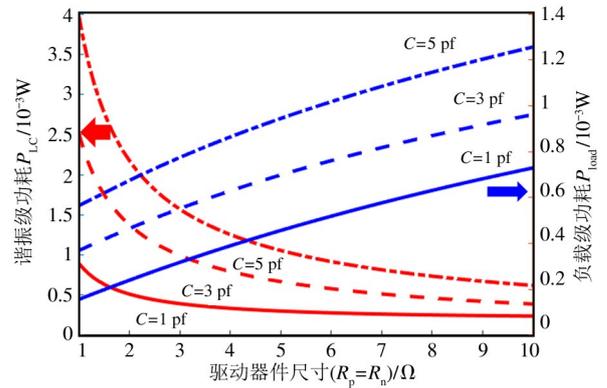
图 10 本文提出的负载功耗模型 P_{load} 与 Spice 后仿结果对比

到较大水平;(2)当电感较大时,在 t_{Dn} 阶段内不足以通过谐振到达负载的开启电平,信号斜率完全取决于谐振级 CMOS 的驱动能力(即 R_p 和 R_n),由于数字集成电路时钟网络上的器件导通电阻一般较小,因此负载的短路功耗也较小。

综上,负载级功耗和谐振级功耗随电感值变化相反,根据二者在系统中的比例不同,系统功耗达到最优时的电感值也不同。

4.2 基于 MRC 的 DRC 电路参数提取过程

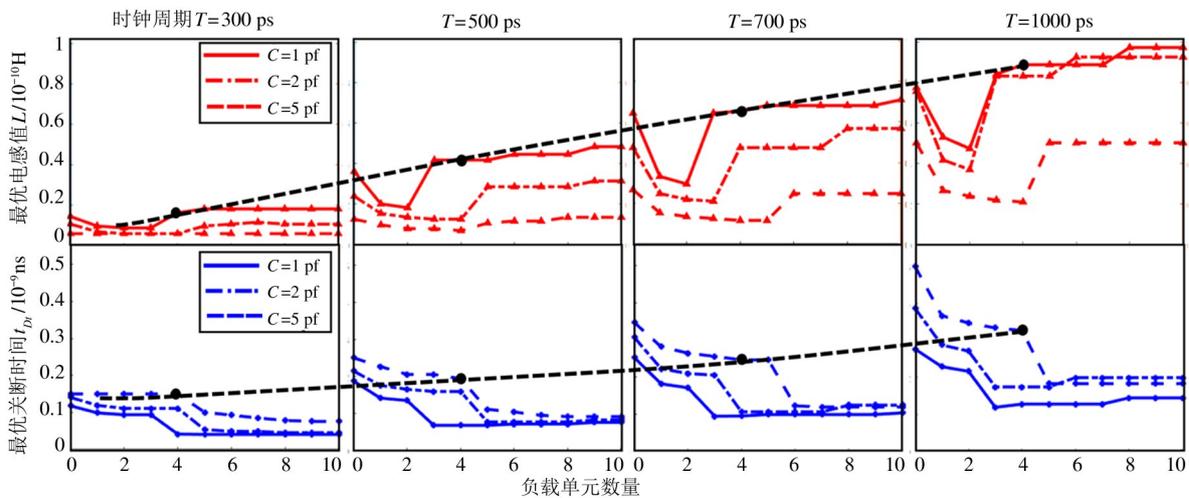
与传统时钟网络设计相比,DRC 谐振网络的设计难点在于如何在已有数字电路基础上选择合适的电感 L 和谐振态时长 t_{Dn} 。本节首先利用 MRC 模型给出驱动器件大小确定原则,在确定 R_p 和 R_n 后,进一步给出在不同负载 C 和时钟频率 f 下 DRC 电路最佳工作 L 和 t_{Dn} 的确定依据。对于给定负载环境,即图 4 中谐振级总负载 C 和负载级单元尺寸确定时,系统功耗随谐振级驱动器件大小的变化情况如图 11 所示。可以看到谐振级功耗和负载级功耗随不同驱动大小变化趋势相反,例如:当驱动器件电阻较小时,谐振级功耗较大,但此时由于谐振级信号斜率较大,对应负载级功耗较小。因此,系统功耗最优时对应的谐振级驱动器件尺寸与负载级电路短路功耗在系统功耗中的占比相关:当负载电路单元数量较多时,选用较小的驱动电阻;当负载电路单元数量较少时,选用较大的驱动电阻。



($f=2.5\text{ GHz}, R_L=5\ \Omega, R_p=R_n=2\ \Omega, R_C=2\ \Omega$)

图 11 谐振级和负载级功耗随驱动单元的变化情况示意图

根据第 3 节可知,在给定工作条件下,对式(18)进行求解,即可得对应功耗最优时的 L 和 t_{Dn} , 求解结果如图 12 所示。可以看出:(1)当只考虑谐振级功耗(对应图中负载器件数量为 0 时),负载电容 C 越大,最优 L 越小,且对应 t_{Dn} 越大;(2)随着负载器件数量增加,负载级功耗在系统功耗中的占比逐渐增加,此时最优电感值 L 先减小, t_{Dn} 基本不变,此阶段通过提高谐振频率的方式提高电压斜率,弥补负载短路功耗损失。当负载级功耗继续增加,逐渐占据主导后,电路趋向于选择大 L 、小 t_{Dn} 的组合,即尽量依靠驱动单元进行充放电,保证信号维持在较大斜率水平。(3)随着输入信号工作周期的增加, L 和 t_{Dn} 均逐渐增加,如图中黑色虚线所示,也就是低频时钟下最优 L 和 t_{Dn} 均位于较大水平。



(其中 $R_L=5\ \Omega, R_p=R_n=2\ \Omega, R_C=2\ \Omega$, 横坐标“1x”包含 30 个 $\text{fin}=8$ 的反相器,短路电流 $I_{\text{peak}} \approx 0.01\text{ A}$)

图 12 不同时钟周期和负载电容下,电路最优电感值 L 和谐振态时长 t_{Dn} 随负载器件数量变化关系示意图

4.3 MRC 模型提取结果及模型性能对比

图 13 给出电路功耗随 L 和 t_{Dr} 三维变化示意图,Spice 仿真结果中功耗最低点对应参数为 $t_{Dr} = 340$ ps, $L = 7.5$ nH,参数精确度取决于仿真精度,实验中 t_{Dr} 仿真间隔为 20 ps, L 为 0.5 nH;使用 MRC 方法实现的 Matlab 运行结果为 $t_{Dr} = 337$ ps, $L = 7.65$ nH,与 Spice 仿真结果接近,且由于后者基于公式求解,因此精度相比 Spice 更高。对于仿真时间,在上述仿真间隔下遍历所有可能取值点,Spice 仿真需要近 40 h,而 Matlab 运行时间不超过 10 min。

同时,由图 13 中的虚线进一步可知:浅虚线为当 t_{Dr} 一定时,功耗最小时对应的 L ,当 t_{Dr} 越大,对应的最优 L 越靠近图像右下角,也就是对应电感值越大;深色虚线为当 L 一定时,功耗最小时对应的 t_{Dr} ,同样, L 越大,获得最小功耗时的 t_{Dr} 越大。

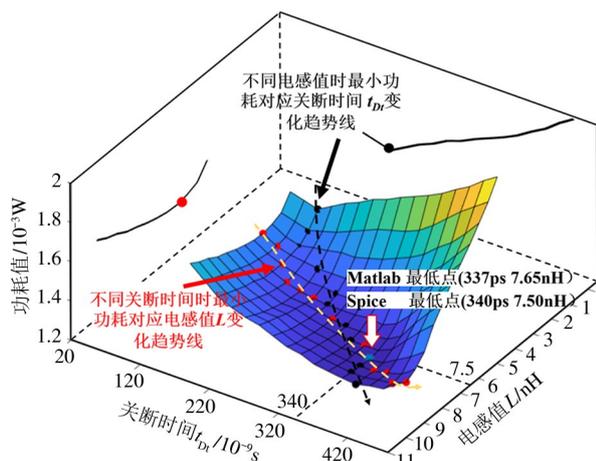


图 13 系统功耗随 L 和 t_{Dr} 的三维变化示意图,曲面对应 Spice 仿真结果, $f=1$ GHz, $R_L = 5 \Omega$, $R_p = R_n = 2 \Omega$, $R_c = 2 \Omega$

按照 MRC 方法获得的最优 L 和 t_{Dr} 实现电路并进行后仿验证,相比传统无谐振模式 RC 和传统谐振模式 CRC,在相同器件尺寸和驱动环境下电路功耗结果如图 14 所示。可以看出: DRC 电路相比传统无谐振 RC 模式功耗优化约 45%,相比 CRC 模式功耗优化约 33%;同等负载情况下, MRC 方法获得的 DRC 电路最佳电感值仅为 CRC 电路的 50%。

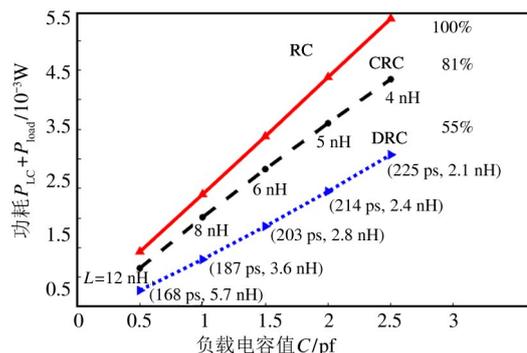


图 14 传统无谐振模式 RC、传统谐振模式 CRC 和带关断状态谐振模式 DRC 在不同负载情况下功耗对比 ($f = 2.5$ GHz)

表 4 列出了近些年相关的谐振电路模型或计算方法与本节模型 MRC 的特性对比。从适用电路角度,本文方法适用范围更广,对 4 种基础谐振电路均适用。同时提供折线模型方案,便于数字单元建库时的数据压缩和拟合集成,从而集成到数字集成电路的设计流程中。本文模型计算过程无需 Spice 参与,可显著提高系统优化迭代速度,也简化了分布式算法的设计难度。最后,由于本节模型从时域角度对电路波形进行计算,因此便于获得电路斜率等时序信息,对系统的性能刻画也更加完整。

表 4 相关谐振电路模型特性对比

	2004 ^[14]	2007 ^[7]	2012 ^[16]	2012 ^[9]	2014 ^[15]	2014 ^[12]	2015 ^[8]	2016 ^[13]	2021 ^[11]	本文
工艺/mm	-	-	90	45	22	45	28	45	28/65	12
适用电路										
CRC	√	√	×	√	×	√	√	√	×	√
IRC	×	×	×	×	×	×	×	×	×	√
DRC	×	×	×	×	×	×	×	×	×	√
QRC	×	×	√	×	√	×	×	×	×	√
单元库模型	×	×	×	×	×	×	×	×	×	√
不依赖 Spice	√	×	√	×	×	×	×	×	×	√
输入信号	正弦波	正弦波	方波	正弦波	方波	方波	正弦波	方波	正弦波	方波
计算波形斜率	×	×	√	×	√	×	×	×	×	√

5 结 论

本文提供了一种数字设计流程中谐振电路设计方案:首先针对时钟谐振电路提出三段式波形简化计算模型,计算精度达 90% 以上,相比 Spice 仿真提速 10^5 倍;然后引入负载电路功耗,进一步给出功耗计算模型,将系统的各部分功耗与谐振时钟的输出斜率进行关联,计算结果可以准确模拟全电路功耗变化趋势;最后,基于上述功耗最优化公式给出谐振电路内部关键参数(驱动器件大小、电感值 L 和谐振态时长等)的确定方法 MRC。基于 MRC 实现的 DRC 电路,相比传统 RC 电路优化功耗约 45%,相比传统 CRC 谐振电路约为 33%。本文提出的电路设计方法针对当前主流谐振时钟结构提供了一种功耗优化的设计流程,并为数字集成电路中的谐振集成电路设计提供理论指导与依据。

参考文献

- [1] SINGH T, RANGARAJAN S, JOHN D, et al. 3.2 Zen: a next-generation high-performance $\times 86$ core [C] // 2017 IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2017: 52-53.
- [2] RESTLE P J, CARTER C A, ECKHARDT J P, et al. The clock distribution of the POWER4 microprocessor [C] // IEEE International Solid-State Circuits. San Francisco: IEEE, 2002: 108-424.
- [3] SATHE V S, AREKAPUDI S, ISHIA T, et al. Resonant-clock design for a power-efficient, high-volume x86-64 microprocessor [J]. IEEE Journal of Solid-State Circuits, 2013, 48(1): 140-149.
- [4] RAO R M, GONZALEZ C, FLUHRE, et al. POWER10™: a 16-core SMT8 server processor with 2TB/s off-chip bandwidth in 7nm technology [C] // IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2022: 48-50.
- [5] CHAN S C, RESTLE P J, BUCELOT T J, et al. A resonant global clock distribution for the Cell Broadband Engine processor [J]. IEEE Journal of Solid-State Circuits, 2009, 44(1): 64-72.
- [6] BEZZAM I, MATHIAZHAGAN C, RAJA T, et al. An energy-recovering reconfigurable series resonant clocking scheme for wide frequency operation [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(7): 1766-1775.
- [7] ROSENFELD J, FRIEDMAN E G. Design methodology for global resonant H-tree clock distribution networks [J]. IEEE Transactions on Very Large Scale Integration Systems, 2007, 15(2): 135-148.
- [8] LIU W L, CHEN G, WANG Y, et al. Modeling and optimization of low power resonant clock mesh [C] // The 20th Asia and South Pacific Design Automation Conference. Chiba: ASP-DAC, 2015: 478-483.
- [9] HU X, GUTHAUS M R. Distributed LC resonant clock grid synthesis [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2012, 59(11): 2749-2760.
- [10] SATHE V S, KAO J C, PAPAETHYMIU M C. Resonant-clock latch-based design [J]. IEEE Journal of Solid-State Circuits, 2008, 43(4): 864-873.
- [11] KUTTAPPA R, TASKIN B, LERNERS, et al. Resonant clock synchronization with active silicon interposer for multi-die systems [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(4): 1636-1645.
- [12] TIDA U R, MITTAPALLI V, ZHUO C, et al. Opportunistic through-silicon-via inductor utilization in LC resonant clocks: concept and algorithms [C] // IEEE/ACM International Conference on Computer-Aided Design. San Jose: IEEE, 2014: 750-757.
- [13] AHN S, KANG M, PAPAETHYMIU M C, et al. Design methodology for synthesizing resonant clock networks in the presence of dynamic voltage/frequency scaling [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2016, 35(12): 2068-2081.
- [14] CHUEH J Y, ZIESLER C H, PAPAETHYMIU M C. Empirical evaluation of timing and power in resonant clock distribution [C] // 2004 IEEE International Symposium on Circuits and System. Vancouver: IEEE, 2004: 249-252.
- [15] JANA R K, SNIDER G L, JENA D. Energy-efficient clocking based on resonant switching for low-power computation [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2014, 61(5): 1400-1408.
- [16] MAHALAWY M, ISMAIL Y. Design methodology for square wave resonant clock generators [C] // International

- Conference on Energy Aware Computing. Guzelyurt, Cyprus: ICEAC, 2012:1-6.
- [17] 贾柯, 陈焯波, 王成, 等. DTRC:针对变频时钟功耗优化片上谐振网络[J]. 高技术通讯, 2023,33(5):447-458.
- [18] RABAEY J M, CHANDRAKASAN A P, NIKÓLÍC B. Digital integrated circuits: a design perspective[M]. Prentice :Prentice Hall,2003.
- [19] 徐毅, 陈书明, 刘祥远. 一种低功耗低偏斜的无缓冲谐振时钟分布网络设计[J]. 计算机工程与科学, 2013,35(5):9-14.
- [20] FUKETA H, NOMURA M, TAKAMIYA M, et al. Intermittent resonant clocking enabling power reduction at any clock frequency for near/sub-threshold logic circuits[J]. IEEE Journal of Solid-State Circuits, 2014,49(2):536-544.
- [21] RAHMAN F U, SATHE V S. 19.6 voltage-scalable frequency-independent quasi-resonant clocking implementation of a 0.7-to-1.2V DVFS system[C]//IEEE International Solid-state Circuits Conference. Hong Kong, China: IEEE, 2016:334-335.

MRC: global power optimization method of resonant clock for digital integration

JIA Ke^{*****}, YANG Liang^{****}, WANG Jian^{*****}

(* State Key Laboratory of Computer Architecture, Institute of Computing Technology,
Chinese Academy of Sciences, Beijing 100190)

(** Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190)

(*** University of Chinese Academy of Sciences, Beijing 100049)

(**** Loongson Technology Corporation Limited, Beijing 100190)

Abstract

Aiming at the digital implementation of resonant clock network in the integrated circuit design, this paper proposes a modeling and optimization method of resonant clock circuits (MRC), which simplifies the integration process of resonant clock networks. At present, traditional simulation tools for building resonant circuit models is time consuming, and the existing resonant circuit models cannot meet the requirements of rapid implementation and digital library construction. According to the three-stage circuit state of the resonant designs, the polyline reduction model in this paper can obtain the current waveforms of various resonant circuits quickly and accurately. An optimization objective function of global power consumption is also given based on this model, providing a theoretical basis for the selection of circuit parameters. The post-Spice simulation results based on 12 nm Fin-FET technology show that the model accuracy is more than 90% and can accurately fit the actual power consumption trend. Matlab-based implementation of the proposed model can achieve 10^5 times speedup compared with Spice-based simulation.

Key words: resonant clock, low-power design, power model, design methodology, very-large-scale integration clock design