

基于数据面加速器的工业 5G 协议处理架构研究^①

杨喜宁^② 周一青^③ 陈 洋

(中国科学院计算技术研究所处理器芯片全国重点实验室 北京 100190)

(中国科学院大学 北京 100049)

(移动计算与新型终端北京市重点实验室 北京 100190)

摘 要 伴随 5G 标准的不断演进和商用网络的规模部署,5G 已成为引领我国智能制造高质量发展的新引擎。与此同时,以高带宽、高频次小包通信为特征的工业应用也对 5G 终端基带芯片协议处理提出了挑战。本文提出一种以数据面加速器(DPA)为核心的高性能软硬件协同 5G 协议处理架构,该架构将异构芯片计算资源与协议处理功能进行了合理映射,并通过并行化设计大幅提升 5G 用户面数据处理性能。实验结果表明,相比纯软件的实现方案本文提出的协同架构在不同业务负载条件下,数据包处理时延平均下降 28.3%,包处理吞吐量平均提升 38%。在 0.5 ms 的时隙周期配置下,本文架构的数据包处理速率大于 2000 包/s,可以满足工业 5G 大规模现场节点集中式数据采集的需求。

关键词 工业 5G; 软硬协同; 协议处理; 加速器

0 引 言

为了应对未来爆炸性的移动数据流量增长、海量的设备连接和不断涌现的各类新业务和应用场景,第 5 代移动通信技术(5G)应运而生^[1-2]。不同于之前的移动通信技术,5G 网络的服务对象从传统的人与人通信拓展到人与物、物与物通信,5G 将开启一个万物互联的新时代,渗透到工业、交通、农业等各个行业,成为各行各业创新发展的助推器^[3-4]。支撑如此广泛应用的基础是 5G 的几项核心指标,如 1 Gbps 的用户体验速率、面向小包通信时毫秒级的端到端时延以及 99.999% 的传输可靠性^[5]。不断增长的信道带宽、算法复杂度和更低处理时延对于成本、计算资源和功耗体积等受到严格限制的终端设备来说是一个巨大挑战^[6]。

基带芯片(又称 Modem)作为 5G 终端设备的核心器件,对终端设备的通信功能和性能起着决定性的作用。因其复杂的数字信号处理算法和强实时的处理时延需求,通常基于软硬协同的异构 SoC(systems-on-chip)来实现^[7-8]。基带芯片包括基带信号处理和协议处理两大部分。基带信号处理广泛采用基于 ASIC(application specific integrated circuit)的硬件加速器来实现,并且学术界已有大量针对性的研究^[9-11]。文献[12]提出一种数据流驱动的可编程软核处理器,可以满足 5G 对 FFT(fast Fourier transform)/IFFT 在灵活性和实时性方面的需求。文献[13]设计一种动态可伸缩的多核 SoC(MPSoC)来满足 5G 信号处理在吞吐率和时延指标方面跨越几个数量级的动态范围,以提升芯片资源利用率。文献[14,15]分别对 5G 下行同步算法和 LDPC(low-density parity-check)译码算法展开了基于硬件加速

① 国家重点研发计划(2020YFB1807803,2021C01040)资助项目。

② 男,1984 年生,博士生;研究方向:软硬件协同 5G 协议栈架构;E-mail:yangxingning@ict.ac.cn。

③ 通信作者,E-mail:zhouyiqing@ict.ac.cn。

(收稿日期:2022-03-14)

器实现方案的研究。

但是对于协议处理,如高层用户面层 2(L2, layer 2),主流的基带芯片^[16-17]仅提供加解密和完整性保护校验的硬件加速功能,对协议处理的硬件加速和软硬协同设计的研究较少。文献[6]提出一种基于加速器处理架构,主要是针对 LTE(long term evolution)协议的软硬件联合处理,取得了一定的性能增益。然而,随着 5G 的广泛应用,尤其是在工业领域,除了高带宽外,时延、可靠性和低抖动等方面的要求也在不断提高,用户面协议处理逐渐成为了制约基带芯片总体性能的新瓶颈^[18]。协议处理主要面临以下挑战:首先,5G 协议支持多种调度时隙间隔,最小可到 0.125 ms,在如此小的时间约束内要进行大量包的实时处理,基于多任务的纯软件协议处理架构难以保证时延稳定,而这恰是工业 5G 应用的一个重要需求;其次,为了提升有限的无线空口资源的利用率 5G 协议中所有层的协议头字段大多以比特为单位定义,CPU 软件访问这种非字长对齐的数据时效率比较低;此外,5G 协议中承载业务数据的逻辑信道配置参数及各层的头格式种类繁多,计算字段前后依赖,只能顺序解析动态识别后续字段的格式,这增加了解析的难度。传统以 CPU 软件为主的协议处理架构无法满足高效能和可预期的稳定性时延^[19]。

在此背景下,本文设计了一种基于软硬件协同的协议栈处理器架构,利用硬件加速器卸载耗时处理减轻 CPU 压力,在提升 5G 协议栈用户面吞吐率的同时降低处理时延和抖动。本文的主要贡献如下。

(1)提出一种软硬协同的 5G 协议处理架构,充分利用异构芯片资源,对软硬件功能进行了合理划分,减少软硬件之间的通信开销,提升系统的执行效率。

(2)设计针对 5G 协议的数据面加速器(data path accelerator, DPA),将用户面协议中频繁执行且比较耗时的协议数据解析功能从传统的软件处理中独立出来,在降低 CPU 负载的基础上,提升用户面的包处理速率。

(3)采用 DPA 与安全加速器(security, SEC)联

动设计,在极少 CPU 干预的前提下实现协议数据解析和解密操作的无缝衔接,保证了数据包处理时延的稳定性。

论文的其余部分组织如下:第 1 节介绍了本文提出的软硬件协同的协议栈处理架构;第 2 节详细描述了软硬件协同的协议处理架构中的核心器件数据面加速器(DPA)的设计细节和并行化策略;第 3 节为实验设计与性能验证分析;第 4 节对论文进行总结。

1 软硬件协同的协议栈处理器架构

协议处理子系统作为基带芯片中的核心组件之一,主要负责 5G 标准高层数据面和控制面协议处理。其系统架构如图 1 所示,包括硬件平台和协议软件系统(protocol stack, PS)两大部分。

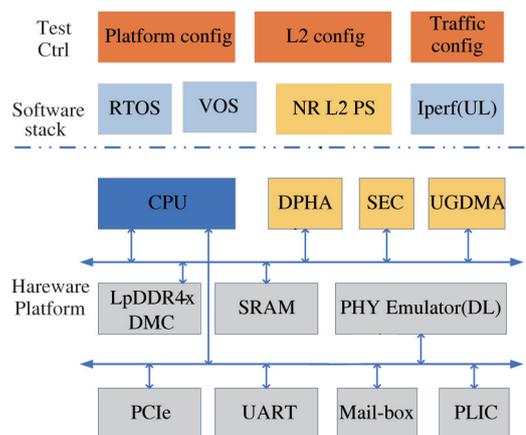


图 1 协议处理系统架构

1.1 硬件平台

硬件平台的核心是一个 4 核的 CPU,可提供 128 Bit 的 AXI 总线连接高速 DDR 控制器,并通过一个转换桥连接到各个加速器和外设。硬件平台还包括以下部分:

- 数据面加速器(DPA),负责协议栈层 2(layer 2)协议数据解析及 SEC 加速器控制。

- SEC 加速器,用于安全密钥计算、数据与信令的加密解和完整性保护。在本文提出的架构中,SEC 加速器即可以通过 CPU 启动,也可以不经 CPU 直接由 DPA 进行启动,以避免频繁中断造成的

额外开销。

- 中断控制器和各种外部接口, 如 PLIC、UART 和 PCIe 等。

- UGDMA (uplink gather DMA), 控制 DMA 执行上行数据的复用与级联操作的专用加速器。

其中 DPA 的设计以及 DPA 与 SEC 加速器的并行化控制是本文研究的重点。

1.2 数据面加速器

为提升工业 5G 协议栈处理的吞吐率和硬件效率, 本文基于软硬协同设计思想, 在对协议栈各层执行时间进行测量和时序分析的基础上(分析结果详见第 3 节), 对协议栈的软硬件功能进行了合理的划分。具体来讲, 本文设计一款专用的协议栈数据面加速器 (DPA), 把用户面中重复执行、逻辑相对简单且比较耗时的传输块 (transport block, TB) 各层协议数据单元 (protocol data unit, PDU) 解析功能从协议栈软件中独立出来。如图 2 所示, DPA 负责用

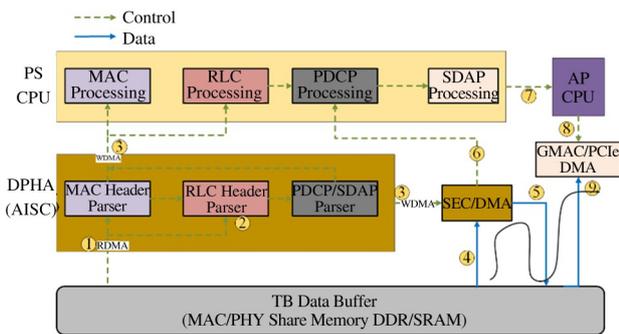


图 2 用户面加速器处理流程

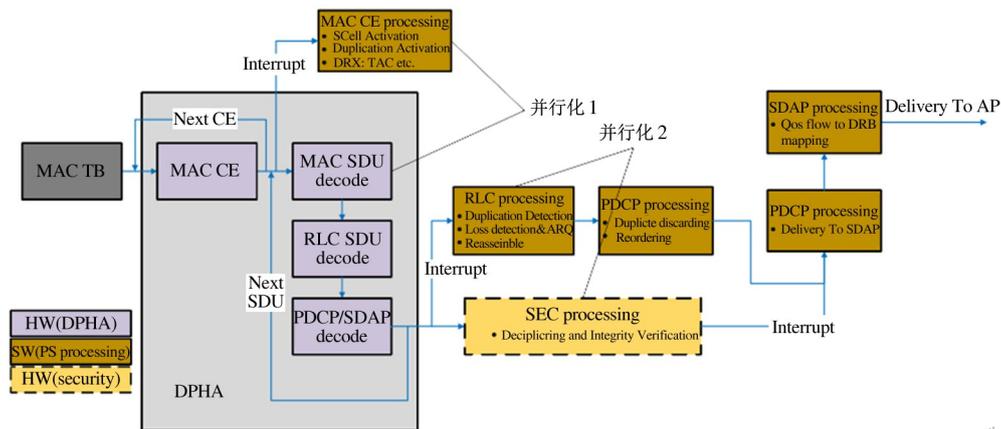


图 3 并行化设计

(1) MAC CE (control element) 处理与 MAC SDU (service data unit) 处理的并行化。协议栈收到 MAC

用户面下行链路的协议处理, 包含 2 方面的功能: 一是对从物理层收到的传输块执行快速解析和协议字段提取, 并将结果中的有效协议字段按照一定的格式 (定义为 HFD, header field descriptor) 按序存入片内高速共享, 存储后中断通知 CPU 执行用户面 L2 (Layer 2) 各层协议功能; 二是在 TB 块解析过程, 若解析出来的 PDU 所属的 PDCP (packet data convergence protocol) 实体打开了加密完保功能, 则 DPA 为该 PDU 配置好相应的算法和解密数据地址等参数, 直接启动 SEC 加速器执行完整性保护和解密操作。

1.3 软硬协同及并行化设计

为提升用户面协议处理性能降低时延, 基于 DPA 的软硬协同协议处理架构进行了并行化的创新设计。该架构充分利用 CPU + AISC 异构资源对协议处理进行了并行化分解, 即 DPA 进行数据包的解析后将处理结果分发给 CPU 和 SEC 加速器分别执行协议处理和解密完保操作。传统的协议栈架构通常是以串行的方式对单个 PDU 交替执行各层头解析和协议处理、解密等操作。这种处理方式虽然可以借助多核分担各个执行环节形成流水以提升总体吞吐量, 但各环节之间交互和衔接也有非常大的开销, 而且会增加每个包的处理时延。本文设计的基于 DPA 软硬协同架构, 则对 2 个关键环节的执行时序进行了并行化分解, 如图 3 所示。

TB 后, 会先依次从中解析出 MAC CE 和 MAC SDU。MAC CE 如果存在的话会被排布在 TB 的最前

端^[20]。DPA 一旦解析完 MAC CE,在立即通知协议栈执行 MAC CE 的后续处理的同时可以继续执行其他 MAC SDU 的解析。这样可以保证协议栈对 MAC CE 的处理与 DPA 对 MAC SDU 的解析同时进行,因 MAC CE 通常涉及底层无线资源集或配置参数的快速切换,尽可能提前处理 MAC CE 可为物理层及射频控制争取更多的响应时间。

(2)协议栈 RLC(radio-link control)/PDCP 的处理与用户面数据解密完保的并行化处理。当 DPA 完成 RLC、PDCP 和 SDAP(service data application protocol)的头解析后,数据流一分为二:一方面 DPA 通知协议栈执行 RLC 分段重组、ARQ(automatic repeat request)和 PDCP 丢弃、排序等协议功能^[21];另一方面 DPA 启动 SEC 加速器执行解密和完保证操作。待 SEC 加速器处理完成后中断通知协议栈 PDCP,PDCP 按序递交完保校验结果正确的数据给 SDAP 进行后续处理。因 2 条数据流并行执行,且解密处理耗时较长,因此协议栈完成了 RLC、PDCP 的相关处理之后,等解密处理一完成就可以递交数据包。通过这种并行设计,可以在解密过程中尽可能多地并行执行其他协议处理任务,进而降低协议栈的总体处理时延。

2 硬件加速器设计

2.1 总体架构

如图 4 所示,DPA 主要包括控制单元、数据处理和接口 3 个部分。控制单元中定义了 DPA 的配置寄存器,包括逻辑信道、PDCP delivery Count 值、HFD 缓存地址信息、输入的 MAC TB 数据地址和 DPA

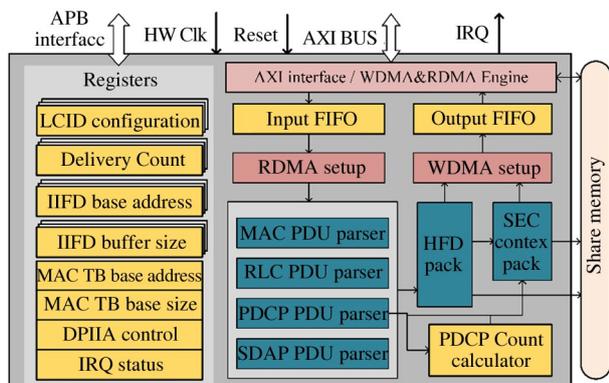


图 4 DPA 硬件架构

的控制寄存器等。数据处理单元包括的协议栈各层 PDU 解析模块、读写 DMA(direct memory access)的控制以及输出 FIFO(first-in first-out)操作。接口单元包括独立的时钟、复位和中断信号以及 APB(advanced peripheral bus)和 AXI(advanced extensible interface)总线。

2.2 基于 DPA-SEC 协同的协议数据流

DPA 与协议栈 CPU、SEC 加速器和存储模块(如 SRAM/DDR)紧密配合,实现用户面下行业务的高效处理。如图 5 所示,以 DPA 为组带的协议数据流处理分为以下 4 个阶段。

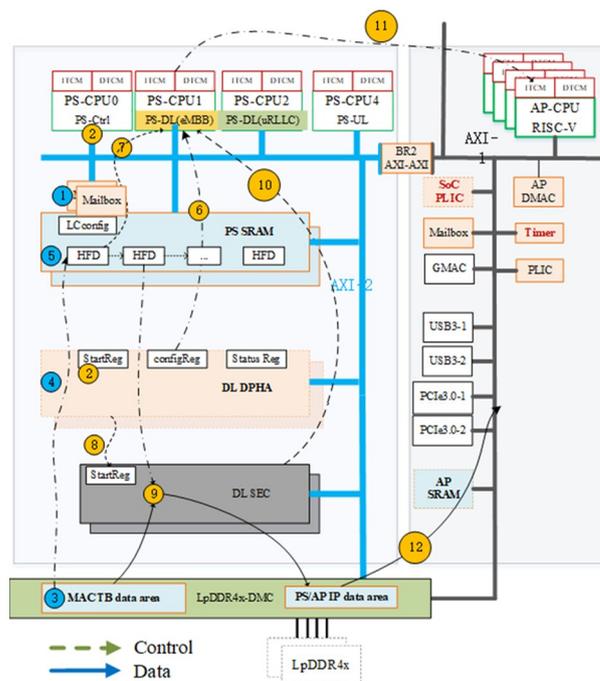


图 5 DPA 数据流

阶段 1 输出数据准备及 DPA 初始化

该阶段包括图 5 中步骤 1~2,协议栈收到物理层的 TB 数据到达中断,对 DPA 进行初始化、参数配置后启动 DPA。

阶段 2 DPA 执行协议数据解析并输出 HFD

该阶段为图中的步骤 3~6,一方面 DPA 控制 RDMA 循环从 DDR 中读取一定长度的 TB 数据放入内部输入 FIFO。首次读取的长度由协议栈配置,之后每次读取的长度由 DPA 根据上一次数据处理的结果进行动态调整,其原则是保证 DPA 每次都能从 DDR 中读出一个完整 MAC sub PDU 的各协议层

PDU 头。另一方面,DPA 对输入 FIFO 中的数据按照协议格式进行解析,包括 MAC CE 和 MAC sub PDU 的解析,同时按照设计的 HFD 格式(见下节描述)将解析结果通过 DPA 内部的输出 FIFO 和 WD-MA(write DMA)写入共享的 SRAM,交由协议栈进行后续处理。DPA 支持配置独立的 MAC CE 完成中断和 MAC SDU 解析完成中断。这样设计的考虑是为了及时优先将 MAC CE 处理结果递交给协议栈,以提升 MAC 层控制响应的时效性。

阶段 3 协议处理与 SEC 解密并行

本阶段为步骤 7~10,包含两大处理过程:一是协议栈基于 DPA 的解析结果对各层 PDU 进行 RLC 级联、重复检测和 ARQ 操作,以及 PDCP 的排序、去重和丢弃等操作;二是 DPA 为所有打开了加密和完保功能的 PDU 批量准备 SEC 加速器需要的解密算法等参数后,启动 SEC 加速器执行解密、完保校验操作。

阶段 4 协议栈按序递交

该阶段为步骤 11~12,协议栈根据 SEC 加速器处理结果,对完保校验失败的包进行丢弃操作,再按序将经过 RLC 层处理并且完保校验成功的包递交给 SDAP 执行 QoS 流映射操作后转发给应用处理器(AP)。

2.3 DPA HFD 定义

HFD 是 DPA 与协议栈之间进行信息交互的数据格式,关系到软硬件界面划分的合理性,对数据传递效率有较大影响。在定义 HFD 格式之前,首先介绍一下 TB 数据的格式。如图 6 所示,每个下行 TB 中包含若干个 MAC subPDU,共有 3 种类型:MAC CE、MAC SDU 和 padding。其中每个 MAC SDU 包含着不同类型的 RLC PDU、PDCP PDU 和 SDAP PDU。

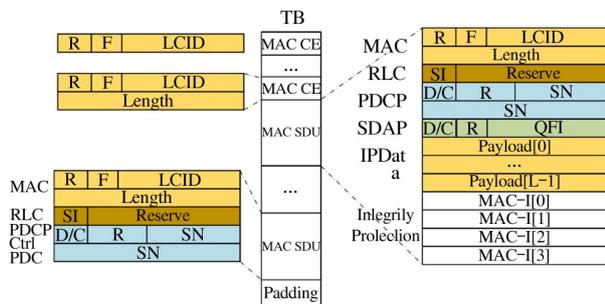


图 6 MAC TB 格式

DPA 需要设计合理的 HFD 格式来应对标准中控制类、数据类 PDU、不同的 RLC 模式和 SN(sequence number)长度等参数的变化。

为减少各层之间头字段的冗余信息,DPA 的 HFD 采用了跨层扁平的格式定义。图 7 给出了 AM 分段 PDU、基于 RLCUM(unacknowledged mode)的 PDCP 控制 PDU 和 SDAP 数据 PDU 这 3 种类型的 HFD 格式,此外还可以定义出 MAC CE 及其他各类型的 HFD 共计 10 种,可以完全覆盖标准规定的所有协议头类型。以 UM_SDAP_DATA 为例,其表示该 HFD 是一个非分段的基于 RLC UM 信道且带 SDAP 头的业务数据包,它只定义了 PDCP count 值、SN 等必要信息,而 RLC SI(segment indication)和其他协议头中的一些保留字段则被去除,以减少内存占用。

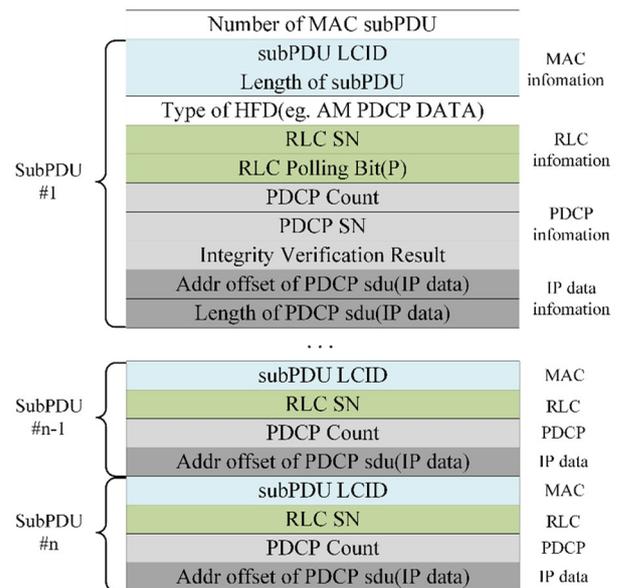


图 7 DPA HFD 定义

此外,为保证 CPU 对 HFD 数据的读取速度,HFD 的各个字段长度均按 CPU 字长设定,并且将 HFD 的输出格式定义为基于静态内存的序列化存储结构,并在 HFD 缓冲区的开头指示 DPA 从 TB 解析出的 MAC sub PDU 的总数量,方便 CPU 直接快速遍历每一个 PDU 的 HFD。

2.4 业务数据内存分配讨论

DPA 完成协议字段解析后,最终可以得到 MAC TB 中所包含的业务数据(即 IP 包)信息。每个 TB

中包含大量 IP 包,并且这些 IP 包并非总是按序达到,而 PDCP 要保证按序递交,因此协议栈不得不先缓存这些 IP 包,这就涉及到内存分配的问题。最直接的做法是为每一个 IP 包单独分配内存,这要求 DPA 加速器实现一个内存管理功能,这不仅增加了设计复杂度也会导致加速器与 CPU 之间共享内存竞争访问的问题。本文采用一种改进的方法,在 DPA 启动之前就由 CPU 预先分配好足以容纳 MAC TB 中所有业务数据包的大块内存空间(称其为业务缓存),DPA 只要计算每个 IP 包的内存偏移并将其存入 HFD 中,CPU 中的 PDCP 任务按序递交一个 IP 包后标记其释放状态,待所有业务数据包均被递交后,回收业务缓存。该方案大幅减少了内存分配的次数,可以提升协议数据处理速率。

3 仿真结果分析

3.1 工业 5G 业务模型分析

为验证工业 5G 不同业务模型下协议栈对处理资源的占用情况,本文基于课题组研发的 5G 协议栈搭建了软件验证环境。如图 1 所示,traffic config 模块可以根据需求配置不同的业务参数,本文中定义了高频次小包和大带宽 2 种典型的工业 5G 业务场景,并利用物理层模拟器(PHY emulator)生成不同业务场景的 MACTB 包并发送给协议栈(L2)进行处理,同时对协议栈处理时间进行测量统计。如图 8 所示,在每个调度间隔内数据包数量不变(如 108 包/TTI)的情况下,随着数据包增大,层 2 的总

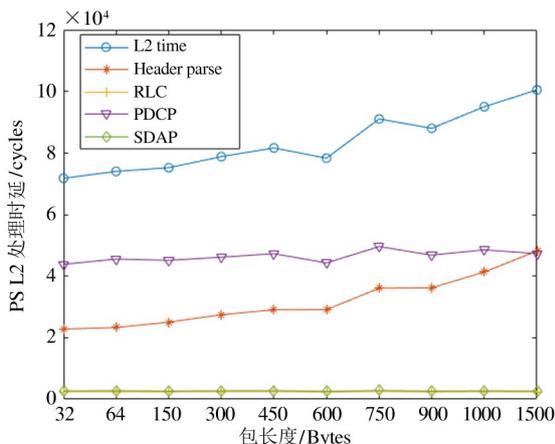


图 8 不同包长处理性能

处理时间(L2 time)及各部分的处理时间增长平缓,带宽增加 40 多倍的前提下,协议栈用户面的处理 cycle 数仅增加不到 2 倍。而如图 9 所示,对于高频次小数据业务(如 500 包/TTI),在业务带宽仅增加 10 倍的情况下,协议栈层 2 的处理 cycle 数增加了约 10 倍。这说明协议栈用户面对数据包的数量比较敏感,工业 5G 高频次小包的业务特点严重制约协议包处理吞吐量。

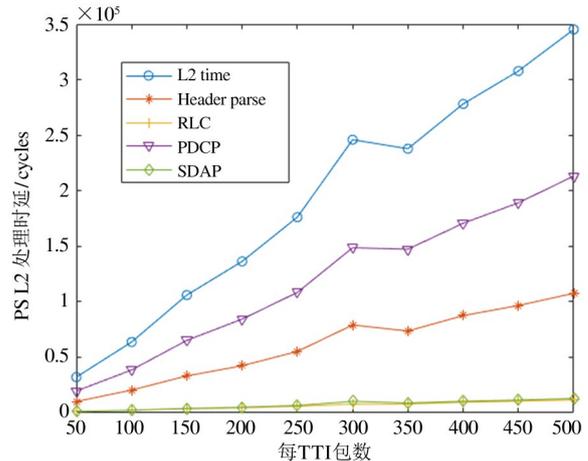


图 9 不同小包数量处理性能

3.2 软硬协同协议处理架构性能分析

为验证本文设计的基于软硬件协同的协议处理架构,开发了 5G 用户面协议处理加速器 DPA 和 SEC 加速器,并基于 EDA 搭建了软硬协同验证环境,其功能组成如图 1 所示。本节将从时延、时序、包处理吞吐量等方面对 DPA 及本文提出的协同架构进行性能分析。验证环境中 CPU 的时钟频率为 1.2 GHz, SEC 加速器, DPA 加速器的时钟频率为 500 MHz。

3.2.1 时延和时序分析

首先基于软硬协同的验证环境,对协议栈下行业务数据处理进行时延分解和时序分析。每个调度周期,下行空口数据经过物理层的处理后生成一个 MAC TB 包,经过协议栈的处理将 TB 包中的业务数据解析、解密,再按序递交给 AP。

如表 1 所示,基于 64 字节包长和每个调度间隔(TTI)500 包的业务负载对纯软件处理和软硬协同处理(下文简称协同架构)2 种方案进行了模块级的处理时延量化分析。其中 Interrupt Delay 代表的是 MAC/PHY 以及 SEC 加速器与 CPU 之间的中断开

销, DPA Setup 代表 CPU 软件配置并启动 DPA 的处理时延, PDU Parser 代表使用软件方案实现 DPA 功能的处理时间, MAC-RLC-PDCPI 代表协议栈 MAC、RLC 以及 PDCP 丢弃、排序功能的处理时间, PD-CP2-SDAP 代表 PDCP 根据完全校验结果进行数据包递交处理的处理时延, Decipher(AES) 代表基于 AES 解密算法的 SEC 加速器对数据进行解密处理的时延。需要特别说明的是, 软件方案和协同架构中的解密操作均通过硬件加速器完成。另外, 由于协同架构中采用了并行化处理, 因此总处理时间将以并行路径中执行时间较长的路径来计算, 根据计算结果可知使用软硬件协同的方案处理时延可以降低 28.3%。

表 1 时延分析

功能模块	软件方案/ μs	协同架构/ μs
Interrupt Delay	< 1	< 1
DPASetup	--	< 1
DPA	--	8.1
PDU Parser	85.1	--
MAC-RLC-PDCPI	121.5	121.5
Decipher(AES)	48.1	48.1
Pdcp2-SDAP	66.4	66.4
Total pocessing time	< 276.2	< 198

如图 10 所示, DPA 采用的并行化设计, 使得 DPA 完成协议数据解析后 SEC 解密操作与协议软件处理并行进行, 相对于串行处理方案, 其总体执行时间可以下降 48.1 μs 。

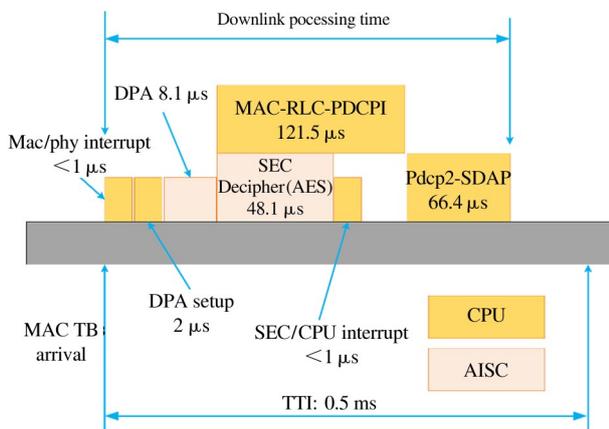


图 10 不同小包数量处理性能

3.2.2 包处理吞吐量分析

本文将包处理吞吐量定义为每个 TTI 内可以处理的包数量。如图 11 所示, 通过对每个 TTI 内不同包数量业务负载的测试, 对比软件方案和协同架构的性能结果发现, 业务负载越大, 协同架构的性能提升增益也越高, 处理性能平均提升 38%。另外若将协议处理时间约束限制在 200 μs 内, 协同架构的包处理吞吐量提升了约 67%, 高达 1000 包/s。而对于工业 5G 网络 0.5 ms 的时隙周期配置, 协同架构的包通量大于 2000 包/s, 可以满足工业 5G 大规模现场节点集中式数据采集的需求。

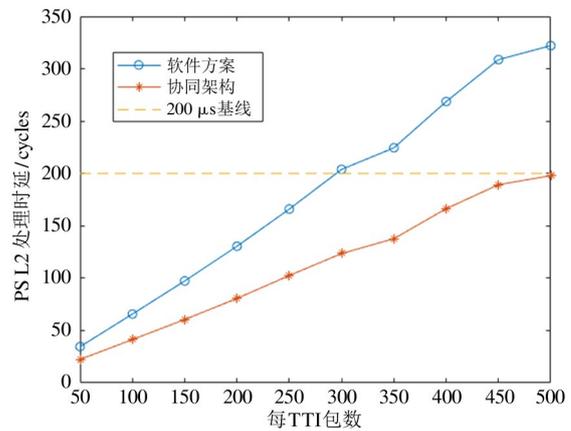


图 11 处理时延对比分析

3 对比分析

基于对协议栈数据流的分析和并行化处理架构研究以及 DPA 硬件设计的成果, 本文在 SMIC 的 12 nm 工艺节点下实现了 DPA 加速器, 工作主频为 500 MHz。因与 CPU 及 SEC 加速器共享外部 SRAM 存储, DPA 加速器内部不包含数据存储单元, 其核心单元面积仅约为 0.014 mm^2 , 具有较好的硬件效率。另外, 本文将软硬协同的架构与文献[19]中的以 sDMA 加速器为核心的架构进行了性能对比。为保证对比公平, 将本文协同架构中的 CPU 主频与加速器主频分别归一化至 sDMA 方案中的 500 MHz 和 200 MHz, 并且采用与 sDMA 中相同的 SEC 加速器性能指标, 业务负载统一设定为 1 Gbps 吞吐率。对二者下行用户面软硬件总体处理时延进行测量后发现, 本文基于 DPA 的软硬协同架构总处理时延为 623.3 μs , 相对于 sDMA 的 1600 μs , 性能提升大于

50%。这主要得益于协同架构中 SEC 解密与协议处理的并行化实现,以及软硬协同架构合理的硬件划分和高效的时序控制流程。

4 结 论

本文面向工业 5G 协议处理器架构展开研究。针对工业应用在吞吐率、时延和包处理通量等性能指标方面对 5G 基带芯片协议处理带来的挑战,本文提出一种软硬件协同的协议处理架构。首先,对该架构的硬件组成、数据面加速器功能进行了总体介绍,并重点分析了软硬协同的并行化设计思路。该架构对协议处理的软硬件功能进行了合理划分,将用户面协议中重复执行、逻辑相对简单且比较耗时的协议数据解析功能从软件中独立出来,使用 DPA 来实现。接着,本文从硬件设计、DPA-SEC 加速器协同执行流程和 HFD 定义 3 个方面对 DPA 加速器进行了详细的设计分析,并讨论了 DPA 在内存管理方面的改进。最后通过搭建系统级的验证环境对本文提出的协议处理架构进行了性能分析。实验结果表明,软硬协同的处理架构利用硬件加速及并行化等手段,在不同业务负载下,相比纯软件的实现方案,协议总体处理时延平均下降 28.3%,包处理通量平均提升 38%;在 0.5 ms 的时隙周期配置下,协同架构的包通量大于 2000 包/s,可以满足工业 5G 大规模现场节点集中式数据采集的需求。本文的研究成果对业内 5G 基带芯片协议架构设计具有一定的借鉴意义。未来研究重点是进一步探索高层协议栈中排序、复用等其他功能基于硬件化实现的可行性和实现方案。

参考文献

- [1] LIU L, ZHOU Y, GARCIA V, et al. Load aware joint comp clustering and inter-cell resource scheduling in heterogeneous ultra dense cellular networks [J]. IEEE Transactions on Vehicular Technology, 2018, 67 (3): 2741-2755.
- [2] XING C, MA S, ZHOU Y. Matrix-monotonic optimization for MIMO systems [J]. IEEE Transactions on Signal Processing, 2015, 63 (2): 334-348.
- [3] ZHOU Y, WANG J, SAWAHASHI M. Downlink transmission of broadband OFCDM systems-Part I: hybrid detection [J]. IEEE Transactions on Communications, 2005, 53 (4): 718-729.
- [4] ZHOU Y, LIU H, PAN Z, et al. Two-stage cooperative multicast transmission with optimized power consumption and guaranteed coverage [J]. IEEE Journal on Selected Areas in Communications, 2014, 32 (2): 274-284.
- [5] DAHLMAN E, PARKVALL S, SKÖLD J. 5G NR; the next generation wireless access technology [M]. London: Academic Press, 2018: 57-71.
- [6] SZCZESNY D, HESSEL S, TRABOULSI S, et al. Optimizing the processing performance of a smart DMA controller for LTE terminals [C] // Proceedings of the 16th IEEE International Conference on Embedded and Real-Time Computing Systems and Applications. Macau: IEEE, 2010: 309-315.
- [7] ZHU Z, TANG S, SU Y, et al. A 100 GOPS ASP based baseband processor for wireless communication [C] // Proceedings of the Design, Automation and Test in Europe. Grenoble: IEEE, 2013: 121-124.
- [8] SHAN T, ZIYUAN Z, YONGTAO S. System-level design methodology enabling fast development of baseband MP-SoC for 4G small cell base station [C] // Design, Automation Test in Europe Conference Exhibition. Dresden: IEEE, 2014: 1-6.
- [9] LIU L, ZHOU Y, YUAN J, et al. Economically optimal MS association for multimedia content delivery in cache-enabled heterogeneous cloud radio access networks [J]. IEEE Journal on Selected Areas in Communications, 2019, 37 (7): 1584-1593.
- [10] LIU L, ZHOU Y, ZHUANG W, et al. Tractable coverage analysis for hexagonal macrocell-based heterogeneous UDNs with adaptive interference-aware CoMP [J]. IEEE Transactions on Wireless Communications, 2019, 18 (1): 503-517.
- [11] GARCIA V, ZHOU Y, SHI J. Coordinated multipoint transmission in dense cellular networks with user-centric adaptive clustering [J]. IEEE Transactions on Wireless Communications, 2014, 13 (8): 4297-4308.
- [12] WU Y, WANG P, MCALLISTER J. Programmable data-flow accelerators: a 5G OFDM modulation/demodulation case study [J]. IEEE International Conference on Acous-

- tics, Speech and Signal Processing. Barcelona: IEEE, 2020; 1728-1732.
- [13] FETTWEIS G, HASSLER M, WITTIG R, et al. A low-power scalable signal processing chip platform for 5G and beyond-4G [C] // Conference Record-Asilomar Conference on Signals, Systems and Computers. Pacific Grove: IEEE, 2019; 896-900.
- [14] 胡东伟. 5G LDPC 码译码器实现[J]. 电子与信息学报, 2021, 43(4): 1112-1119.
- [15] 曾维, 肖俊秋, 夏欢, 等. LEO-5G 下行同步算法设计与 FPGA 实现[J]. 光通信研究, 2022(2): 50-55.
- [16] NXP. LX2160A Security (SEC) Reference Manual [EB/OL]. [2022-03-14]. <https://cache.nxp.com/secured/assets/documents/en/reference-manual/LX2160ASECRM.pdf?fileExt=.pdf>.
- [17] CEVA. Industry's most comprehensive 5G baseband platform IP for mobile broadband and IoT [EB/OL]. [2022-03-14]. <https://www.ceva-dsp.com/product/ceva-pentag/>.
- [18] SZCZESNY D, HESSEL S, BRUNS F, et al. On-the-fly hardware acceleration for protocol stack processing in next generation mobile devices [C] // The 7th IEEE/ACM International Conference on Hardware/Software-Co-Design and System Synthesis. Grenoble: IEEE, 2009; 155-162.
- [19] 朱子坤, 章晨宇, 王鲁晗, 路兆铭, 温向明. 基于异构计算加速的开源 5G 架构[J]. 北京邮电大学学报, 2022, (1): 63-68.
- [20] 3GPP. NR medium access control (MAC) protocol specification; TS 38.321 V16.1.0 [S]. Valbonne: 3GPP Organizational Partners, 2021.
- [21] 3GPP. NR radio link control (RLC) protocol specification; TS 38.322 V16.3.0 [S]. Valbonne: 3GPP Organizational Partners, 2021.

High-performance protocol processing architecture with HW/SW collaboration for industrial 5G

YANG Xining, ZHOU Yiqing, CHEN Yang

(State Key Lab of Processors, Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100090)

(University of Chinese Academy of Sciences, Beijing 100049)

(Beijing Key Laboratory of Mobile Computing and Pervasive Device, Beijing 100190)

Abstract

With the continuous evolution of 5G standards and the large-scale deployment of commercial networks, 5G has become a new engine leading the high-quality development of intelligent manufacturing in China. At the same time, industrial applications characterized by high bandwidth and high frequency packet communication also pose challenges to 5G terminal baseband chip protocol processing. In this paper, a high-performance protocol processing architecture with collaboration of software and hardware based on data plane accelerator (DPA) is proposed. The architecture divides the software and hardware functions of 5G protocol processing reasonably, and improves the performance of 5G user plane data processing greatly through parallel design. Experimental results show that compared with the pure software implementation scheme, the cooperative architecture proposed in this paper can reduce the packet processing delay by 28.3% and increase the packet processing flux by 38% on average under different traffic loads. Considering the time slot configuration with 0.5 ms, the packet processing rate of the proposed architecture is greater than 2000 packets/s, which can meet the centralized data collection of a mass of factory nodes for industrial 5G.

Key words: industrial 5G, SW/HW collaboration, protocol processing, accelerator