

高性能 CPU 电源 Droop 检测优化设计实现^①

杨丽琼^② 章隆兵 肖俊华 王 剑

(计算机体系结构国家重点实验室(中国科学院计算技术研究所) 北京 100190)

(中国科学院计算技术研究所 北京 100190)

(中国科学院大学 北京 100049)

摘 要 高性能中央处理器(CPU)进入到纳米工艺设计时代,集成度和性能大幅度提高的同时,功耗和时钟之间的平衡优化已经成为当前面临的主要问题。物理供电寄生阻抗增加明显,功耗急速增加过程导致电源网络动态压降明显,抑制了主频进一步提高。本文提出了一种基于全数字快速高精度 Droop Sensor 的供电监测优化方法。该方法采用易于集成于处理器核数字域内的单数字供电 Droop Sensor 进行本地供电实时监测。当 Droop Sensor 检测到电压快速垂降时,实时指导所在处理器核的时钟域进行时钟降频,帮助处理器度过低压危险时期,待垂降结束后再恢复正常的时钟频率。实现了局部压降的针对性时钟优化,避免了整体功耗性能损失。本文采用 12 nm 数字工艺实现了 Droop Sensor 设计。仿真结果表明,该传感器可在 100 ps 内进行一阶 Droop 的快速响应,帮助 CPU 度过瞬间大幅度的压降期;高阶 Droop 响应的阈值调节精度可达 3%,支持 CPU 的供电水平多阈值控制。

关键词 高性能中央处理器(CPU); 供电检测; Droop Sensor

0 引 言

高性能中央处理器^[1](central processing unit, CPU)通过抗电源垂降(Droop)设计^[2-4]提高整个处理器的能效效率是近些年的研究热点。大规模集成电路的供电设计直接影响到芯片的功耗及性能^[5-9]。处理器繁忙时负载变化导致供电电流的大幅波动,由此引发供电平面发生 Droop。供电电压的突降对物理综合的关键路径造成直接的时序挤压,如果不在 Droop 发生时进行及时的时序要求放松,则有发生因时序违例造成宕机的风险。

主流处理器设计中大多含有针对这方面的专项优化设计。抗 Droop 设计需要时钟系统或供电系统根据供电垂降传感器(Droop Sensor)产生的使能信号来控制产生相应的时钟频率或者供电电流的变化

调整,从而在发生垂降的短时间内调节处理器的时序或供电的耐受程度,提高处理器整体的主频性能。为解决数字域内 Droop 的精准快速探测,Droop Sensor 需要摆放在大电流翻转的模块旁边(如处理器核)。本文主要的贡献是提出并实现了可数字集成的单数字供电高速高精度 Droop Sensor,用于 CPU 数字域内的电源供电平面的监测。

该传感器基于时分复用方法解决了工艺偏差对电源压降到数字量转换误差过大的问题,并结合单端链和差分链 2 种结构的优势实现了对一阶 Droop 的快速反馈和对高阶 Droop 的高精度调节。

本文采用 12 nm 数字工艺完成了 Droop Sensor 的设计及验证。设计中充分考虑工艺对检测精度及时序的影响,并兼顾封装、物理供电等片内外的不理

^① 中国科学院战略性先导科技专项(C类)课题(XDC05020100)资助项目。

^② 女,1982年生,博士生;研究方向:计算机系统结构,CPU低功耗系统结构;联系人,E-mail:yangliqiong@ict.ac.cn。
(收稿日期:2021-04-20)

想因素。仿真结果表明,该传感器具有小于100 ps的一阶 Droop 响应速度,同时高阶 Droop 响应的阈值调节精度可达3%,满足了 CPU 供电 Droop 多种情况的检测需求。

1 相关工作

Intel 早年的抗 Droop 设计^[3]采用模拟电路设计的方法将电源变化和时钟频率调节放在同一个时钟环路中进行自适应调节。这种方法的优点在于反馈速度快,环路内部自动调节频率产生,没有频率过充的问题,缺点在于只能针对一阶 Droop 进行反馈,高阶 Droop 被环路中的滤波器滤除不可见。

IBM 的 Power8^[10]采用高精度模拟电路鉴别 Droop 的发生,然后转化成数字信号,控制 LDO 的供电电压水平和电流容量。这个方法没有调节时钟频率,而是采用模拟电路作为 Droop Sensor 捕捉 Droop 的发生,然后进行电流供电的调节。这类方法鉴别速度快、精度高,但是问题也很明显,就是模拟电路的面积过大不利于每个处理器核进行本地数字集成。

AMD 的 Steamroller^[11]采用固定级数的数字延时链,通过调节延时负载对输入时钟进行锁定。采用延时链分布在最后的4级输出相位与参考时钟进行对比鉴别来确定处理器核供电电压降低的幅度变化。采用 XOR 对鉴别结果进行相位的多位选择,选择其中一个相位输出作为目标阈值并生成 Droop 控制信号。这种方法相对易于数字集成,但通过调节负载进行延时调节,调节精度和线性度易受工艺偏差影响。鉴别过程存在亚稳态需要增加冗余延时,整个探测延时较长,需要1~3个周期,且阈值固定为4档,可调范围受限。

AMD 的 Zen^[12]采用了相对易于集成的调制滤波加反向器放大器鉴别的方法进行 Droop 检测。这种结构优点在于其面积小易于集成且检测速度在100 ps以内。不足之处存在两方面:一方面是放大比较器需要额外使用参考恒定电压,这种方法的实现需要双电压域供电,这给物理实现带来供电分布的问题;另一方面是 Droop Sensor 需要放置在模拟

电源供电域内,限制了传感器的摆放位置。

在处理器芯片内,越是关键时序路径密集且供电需求变化大的位置越是需要供电传感器的供电探测及保护,所以将传感器集成在处理器核所在的数字供电域可以快速反馈本地供电变化。因此,本文采用全数字阈值可编程的设计方法实现单数字供电的 Droop Sensor 设计。

相比已有的模拟和数字方法,选择没有模拟供电障碍的全数字可编程控制方法,可以保证处理器核供电完整的同时获得更优的探测调节性能。如何采用数字模型精确表达供电电压模拟量的变化,如何解决纳米工艺下数字电路电参数偏差较大的问题,如何集成到调频系统中实现频率回调补偿,以上问题是 Droop 检测设计的关键。

2 电源 Droop 产生原理及影响

电源电压 Droop 的产生源于片外供电电流的有限与片内负载瞬时电流需求过大之间的矛盾。物理静态时序分析通常基于理想的供电平面。所谓理想供电平面,即无论供电电流负载以何种频率和幅度变化,供电平面均保持供电电位的稳定。

实际中,整个供电系统从片外到片内存在多种类型的寄生。从片外供电器件(voltage regulator module, VRM)、主板(printed circuit board, PCB)、基板(package substrate, PKG)、管壳封装(SOCKET)到片内电源网络,供电链路上存在的多级寄生分布如图1所示。

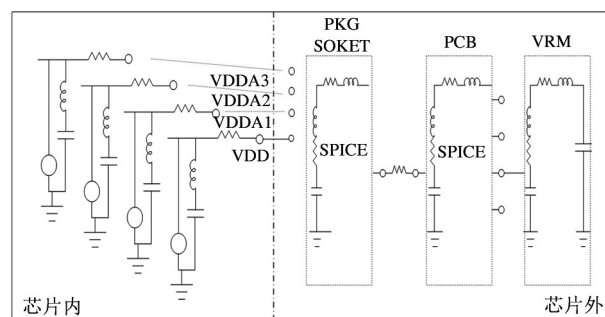


图1 CPU 供电寄生结构示意图

由于存在多级寄生参数分布,当片内突然出现

瞬间大电流抽取时,供电电压会产生非线性的频率响应^[13],也就是 Droop 的多阶响应。图 2 为处理器核在历经了从复位到空闲,从空闲到繁忙,从繁忙到空闲,最后从空闲到满负荷 5 种状态负载电流切换下的带封装的电源供电电压情况。

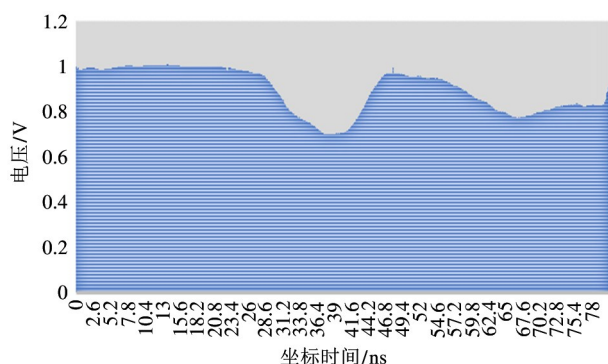


图 2 供电随处理器核负载变化曲线图

如图 2 所示,供电 Droop 的一阶响应(图中 39 ns 位置)要比高阶响应(>65 ns)下降幅度大且持续时间短。应对幅度较大的瞬间一阶响应,需要检测速度快;而对于幅度较小的高阶响应,需要具有高精度的多阈值检测功能。在供电发生 Droop 的情况下,处理器内部传输的时钟或者数据会随之发生幅度和相位的变化,如图 3 所示。

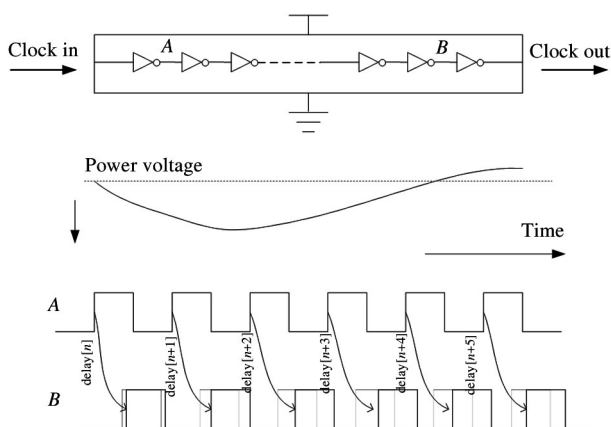


图 3 时钟受供电影响模型图

时钟在传递过程中由于供电电压的调制发生了不同程度的相位偏移,供电变化幅度不同时相位偏移量也不同。电压供电的不理想直接影响到芯片内部时钟的性能,尤其是在有长距离传输的时钟结构中。时钟沿的大幅度偏移会恶化片内关键路径的时

序性能导致主频的降低。监控片内供电情况并及时调整时钟频率,可以避免瞬时过低压降带来的整体性能损失,为处理器运行在高主频下提供了供电监测的保障。

3 全数字高速高精度 Droop Sensor 设计

3.1 Droop Sensor 的集成背景

Droop Sensor 通过使能 swap 信号来同步调节各个处理器核本地的时钟频率。当传感器检测到 Droop 发生时使能信号置高,通知本地时钟系统进入降频状态,至 Droop 结束使能信号置低,从而实现局部 Droop 的时钟频率回调补偿。龙芯 3A5000 处理器核面积近 $1900 \mu\text{m} \times 2800 \mu\text{m}$,所以 Droop Sensor 的放置位置、类型及仲裁方法需要根据处理器核本身的物理特性进行设计。

3.1.1 Droop Sensor 放置位置及个数的确定

处理器核包括多个定点单元、浮点单元(向量单元)、数据寄存器、指令寄存器、各种类型队列、取指译码单元及流水总线控制等模块。其中,向量模块因为其数据的并行性特征,相比一般的定点运算模块具有更大的同步翻转功耗。所以在浮点单元(向量单元)旁边放置具有一阶快速反馈特性的 Droop Sensor,另外在处理器核物理布局离向量单元较远的一端放置具有高阶高精度阈值控制特性的 Droop Sensor,每个处理器核配置 2 个传感器。

3.1.2 Droop Sensor 的仲裁方法

高性能 CPU 的时钟系统采用分布式结构,每个处理器核有自己的时钟产生模块 PLL 及控制单元。Droop Sensor 的检测信号同样嵌入到处理器核所属的时钟控制单元中。每个处理器核具有 2 个传感器单元,两个检测使能信号进行仲裁后产生一个 Droop 使能信号送到时钟控制单元中。当选择探测多阶电源供电垂降时,处理器核内部的 2 个使能信号仲裁采用或逻辑,只要有一个检测结果置高有效,则输出使能信号为高。当选择只探测一阶电源供电垂降时,处理器核内的高阶高精度 Droop Sensor 被屏蔽,只有一阶快速 Droop Sensor 的检测结果有效。

3.2 Droop 数字模型的建立

Droop 探测采用纯数字电路实现,所以需要建

立供电电压和数字电路延时之间的数学关系模型。数字电路依靠节点充放电来实现逻辑运算变化。充电到电源代表逻辑‘1’,放电到地代表逻辑‘0’。

反相器的输出在数字逻辑角度只有 0、1 两个逻辑电平状态。当供电电压远超出两级晶体管阈值电压时,数字电路翻转求值延时的增加在负载固定的情况下近似正比于供电电压降。由此可以实现延时增加百分比随电压降低百分比的线性变化。理想情况电压降变化等比于延时变化,延时压缩比例斜率 K 为 1。

当供电电压下降至接近两级阈值电压时,充放电的延时会明显增大。图 4 是延时链后提取网表在供电电压下降到不同比例时的延时归一化扫描结果(K 分别取值 1 和 2)与理想参考的对比。采用实际电路网表仿真得到的延时变化比例随电压下降越多线性度越差。

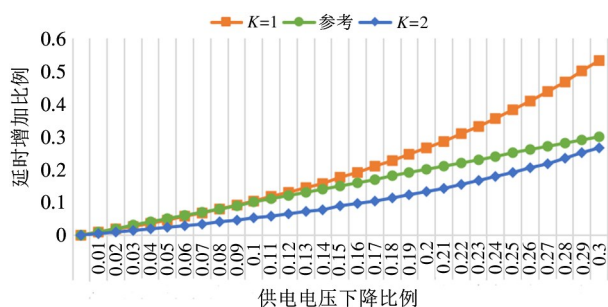


图4 极端斜率与理想延时效比

理想情况随供电电压下降延时等比例增加,如图4中圆点线条所示。实际仿真无压缩延时结果如图4中方块线条所示,当供电下降比例增大后延时增加比例明显大于供电下降比例。对延时结果进行压缩,比例斜率 K 取 2 得到图4中菱形线条。

如图4所示,当电压下降在 10% 以内时满足下降电压与延时增加呈正比,无压缩(K 为 1);当电压继续下降时,延时链的延时将会明显增加,在压缩比例斜率 K 为 2 的范围内。进一步地,采用数字分段拟合方法对电压的降幅与延时的数学关系进行细致刻画。采用不同系数的延时计算归一化后电压的降幅与延时的数学关系如图5所示。

采用分段逼近的方法来减小比例计算的误差,压降小于 10% 时采用 $K=1$,压降在 10% ~ 20% 之

间时采用 $K=1.2$ 。分段逼近后的误差统计如图6所示,整体误差控制在 $-1.5\% \sim 2.1\%$ 之间。

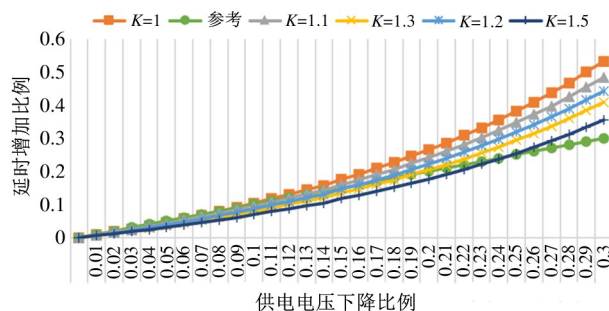


图5 细分各斜率延时分布

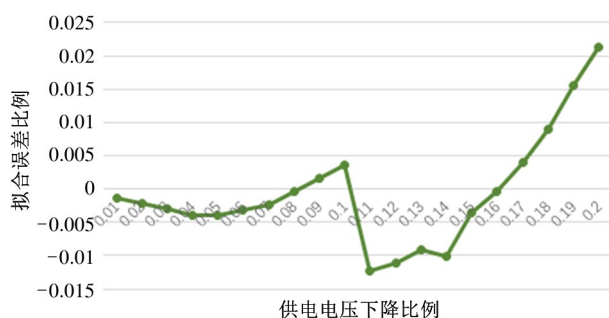


图6 电压延时分段逼近后的误差统计

3.3 检测非理想因素补偿

3.3.1 温度偏差影响

针对温度偏差影响问题,对自负载延时链进行温度变化扫描仿真。从扫描的结果(见图7)可以看出,延时链延时随温度上升呈缓慢增加趋势。以 $40\text{ }^{\circ}\text{C}$ 片上工作温度为参考点,延时链延时随温度变化偏差小于 4%。

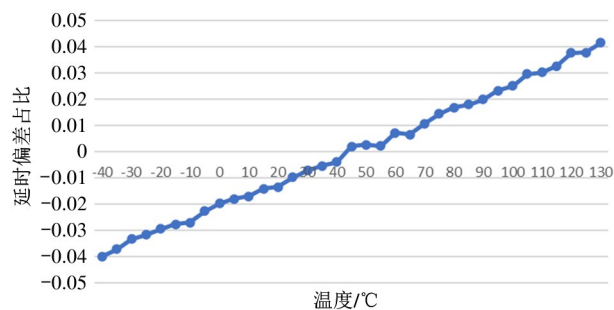


图7 延时链延时随温度变化统计图

延时链的延时随温度变化较小的主要原因在于延时链采用自负载的方式,即延时链只驱动与自己尺寸相同的延时单元。同比例尺寸的 12 nm 数字工

艺器件相比 28 nm 具有更大饱和电流和更小的面积。所以在自驱动条件下,驱动充放电流更充分,负载更小,信号翻转沿小于 2 ps(30% ~ 70%),整体延时呈现出随温度变化较小。

3.3.2 工艺偏差影响

采用延时链版图后提取网表进行多个工艺角 1000 次蒙特卡罗扫描仿真。通过多工艺角的蒙特卡罗仿真检验延时链延时随工艺变化的分布情况。从图 8 的仿真结果可以看出,7 个工艺角的最大延时偏差超过 20%。

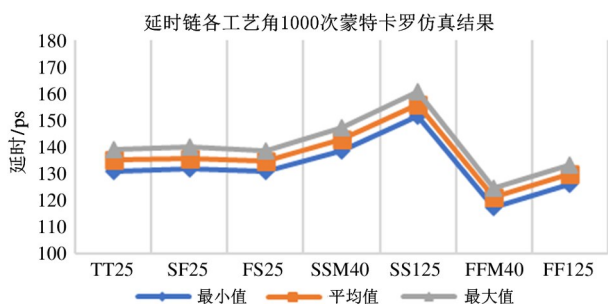


图 8 延时链延时随工艺偏差统计图

对比上述两个偏差方向的仿真和比较可以看出,温度变化引起的延时偏差相对较小,工艺偏差才是延时偏差的主要来源。针对工艺偏差,电路设计除了对延时链在使用之前进行校准外,采用时分复用的方式在测量的多个过程中重复使用同一条校准后的延时链,可以从结构上避免工艺偏差带来的过程系统偏差。

基于以上的分析讨论,下面从电压检测方案、整体电路结构、关键模块设计等几个方面展开优化设计论述。

3.4 整体检测方案

采用上文所述的数字模型实现延时链的延时物理量对电压变化的刻画。检测方案分为以下几个阶段:复位阶段、校准阶段、配置阶段、检测阶段。如图 9 所示数字综合模块(Fscale),负责根据电压下降目标阈值比例对校准后的延时链控制码进行控制码的重新生成,其中比例系数算法及阈值的配置均可软件控制。

数字供电电压在前 3 个阶段过程中需要保持恒定,只有进入检测阶段后才可以变化。工作过程如

图 9 所示。首先在复位阶段对 Droop Sensor (Dsensor) 内部触发器进行复位,然后根据输入工作频率进行内部校准产生代表固定周期信息的延时控制码。当校准完成,cal_ready 信号置高,Fscale 模块开始处理 Dsensor 生成的延时控制码,并按阈值比例设置生成新的控制码送给 Dsensor。至此 sense_start 信号置高,配置阶段完成。Dsensor 在 sense_start 信号被置高后进入检测阶段,此阶段数字域开始正常工作。当供电电压发生 Droop 超过设定阈值时,swap 信号置高,标志系统需要降频工作;当供电电压回升到阈值以上时,swap 信号置低,标志系统可以恢复正常频率工作。所有控制信号均为同步信号,这样免除了数字综合时序增加异步 FIFO,避免时序冗余。

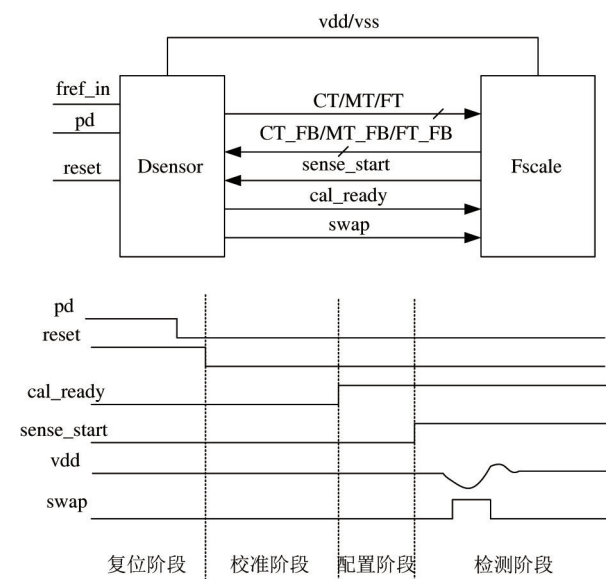


图 9 Droop Sensor 顶层结构连接图及检测不同阶段关键信号波形

3.5 整体电路结构实现

整体电路结构由以下几部分构成:输入输出单元、差分延时链、锁定判定逻辑控制以及鉴相生成单元。输入输出单元负责输入输出信号的同步以及与 Fscale 的握手控制;延时链(delay chain)、相位检测(phase detect)、控制码计数逻辑(code counter)和锁定检测(lock control)构成了校准环路,如图 10 所示。输入参考时钟进入环路后分为两路:一条通路为 bypass 通路产生 ck0;另一条通路为延时通路产生

ck360。当两条通路延时相等即增加的延时控制全为“0”时,两条通路的时钟是对齐的。通过不断增加延时控制码,使得延时通路的时钟沿历经落后于参考时钟 *bypass* 的时钟沿,再到领先于 *bypass* 的下一个时钟沿,进而使得加入的延时链长度等于输入时钟的一个周期。其中,鉴相器用于鉴别时钟相位的先后关系,控制码计数器用于产生不断增加的控制码字直到环路锁定 *lock* 信号生成。鉴相单元采用 SR(set-reset-latch)锁存器级联结构,后仿真鉴相精度小于 1 ps。当环路校准完成后 *cal_ready* 信号由低变高, *ct_ctl*、*ft_ctl* 以及 *mt_ctl* 3 组内部控制码经过输入输出模块产生最终的 *ct*、*ft* 和 *mt* 码字,输出送给数字逻辑单元 *Fscale*。经过 *Fscale* 比例计算反馈回 *ct_fb*、*ft_fb* 和 *mt_fb* 码字,再通过输入输出单元进入传感器。经过选择器组刷新 3 组内部控制码,使得校准后等于时钟周期长度的延时链按比例缩短。这样正常供电的情况下,延时链输出的时钟比旁路时钟的时钟沿要提前。只有供电电压下降到目标阈值电压时,延时链的延时等比例增加到时钟周期长度,延时链输出的时钟沿才能落后于 *bypass* 时钟的时钟沿,使得时钟检测使能信号 *swap* 信号由低变高,标志发生电压垂降。延时链主体由 4 组相同的延时子链构成,每组延时子链中含有主延时单元(coarse time, CT)和由一级延时单元相位插值产生的 1/8 精度的细调延时单元(fine time, FT)。为降低校准时间,延时链主体结构的 4 组延时单元是同时增加控制码,即一次增加 4 级,所以存在较大

的延时调整间隙。这里通过在主体延时链后面增加中级延时链(medium time, MT)来进行延时控制步进之间的间隙补偿。MT 由 4 级基础延时单元构成,正好可以弥补一次增加 4 级延时产生的调节间隙。

3.6 关键延时结构的选择和设计

延时链的设计直接影响了检测的精度和反馈速度,是检测电路的关键部分。

单端延时链的延时单元(standard delay unit, SDU)采用 2 级二输入与非门串联构成。与非门的一端作为延时信号的输入,另一端作为是否串联入延时链中的选择端。延时的长度取决于串入延时单元的个数,如图 11 所示(*ck_delay* 相比 *ck_ref*)。单端延时链的优点在于易于扩展延时长度,参考时钟的时序路径短,反馈速度快;其缺点在于延时可调基础颗粒为 2 个串联与非门。基础单元延时大导致可调误差无法减小。本文扩展出差分链结构。差分延时链结构和单端延时链结构如图 11 所示。相比单端结构,差分延时链(*diffck_delay* 相比 *diffck_ref*)在保证易于扩展的同时提高了延时可调精度。延时基础颗粒为 2 个串联的反相器。

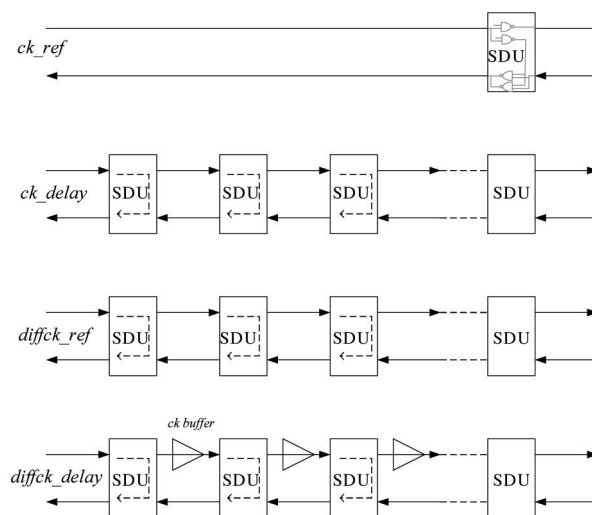


图 11 单端延时与新差分延时结构对比示意图

采用相同供电电压、后提取网表及相同的仿真条件进行 2 种结构的延时对比仿真,典型工艺角结果如表 1 所示。

调节延时精度平均提高超过 30%,弥补了单端

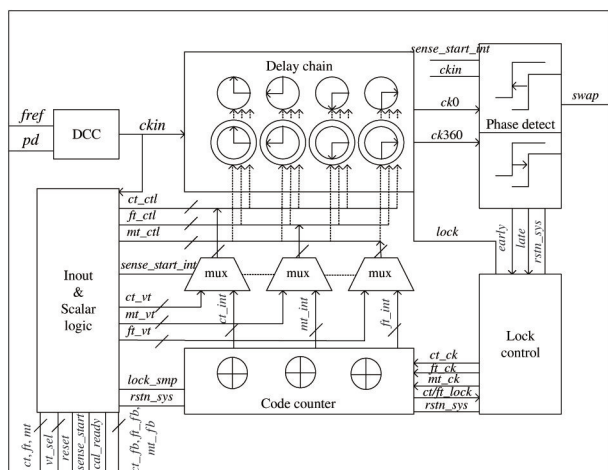


图 10 Droop Sensor 电路结构图

延时链延时精度低的不足,相比单端结构整体控制精度提高超过 25%,但差分结构反馈速度较慢。本文综合 2 种结构的优缺点,采用单端延时链作为一阶响应 Droop Sensor 的延时链结构,实现快速探测;采用差分链作为高阶响应 Droop Sensor 的延时链结构,实现高精度探测。通过结构上的互补满足电压垂降多种情况的探测需求。

表 1 典型工艺角各延时结构单位延时对比

工艺角	TT25_TYP	SSA125_WC	FFA-40_BC
差分结构	6.0 ps	9.3 ps	5.4 ps
单端结构	10.0 ps	12.5 ps	8.3 ps
精度提高	40%	25.6%	34.9%

4 版图实现及验证

Droop Sensor 的版图面积为 $128\ \mu\text{m} \times 79.968\ \mu\text{m}$, 整体布局分为 3 个部分:数字环路核心部分(Droop Sensor_Core)、输入输出同步控制部分(Inout_Sync_Control)和外围的滤波部分。由于本设计中大部分环路内信号均为数字时钟信号,所以版图的设计充分考虑到电路中延时链的精准匹配、负载均衡以及信号之间的隔离。

延时链内部的延时单元连接采用本地负载连接方式进行环形连接,基本单元内增加本地去耦电容

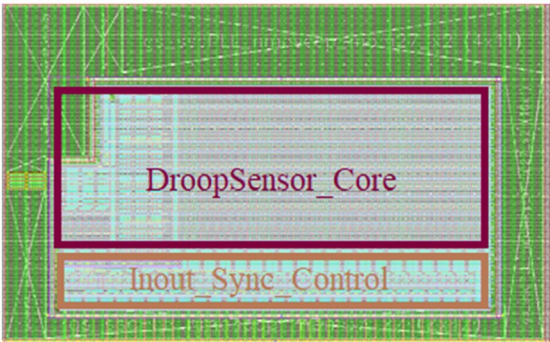


图 12 Droop Sensor 版图

降低局部供电波动。电源地采用与数字综合配套的交叉矩阵电源排布方式,进行最大程度的均匀布局。处理器核的供电网络通过高层金属 Met10 直接覆盖到整个 Droop Sensor 的 Met9 电源地网格上。通过滤波器的过滤作用,均匀供电给数字核心环路部分和输入输出控制部分。

整体电路仿真基于版图寄生后提取网表,采用 FineSim 仿真器的 pro_hd 高精度仿真模式进行整体后仿真。仿真的电源激励采用了 3.2 节中处理器核带封装寄生提取产生的电源供电变化波形,并在其基础上增加了传感器的建立准备时间约 250 ns。在此期间,数字环路历经复位阶段、校准阶段和配置阶段之后进入检测阶段,检测电源供电的变化。图 13 为整个仿真过程的关键信号波形图。

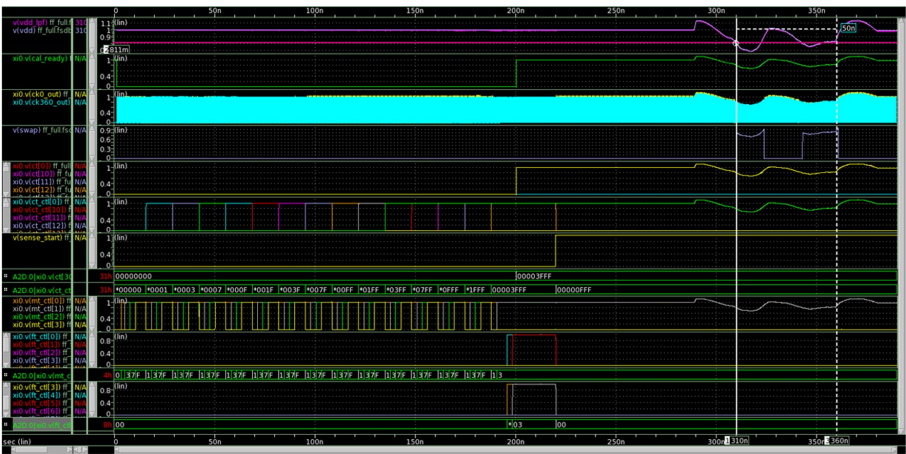


图 13 Droop Sensor 仿真波形图

从仿真波形图中可见,在供电稳定阶段,环路依据输入时钟的固定频率进行延时长度的校准,采用了粗调(CT)、细调(FT)和中调(MT)3种调节方式

进行时间到延时控制码的转换过程。此过程中, ct_ctl 、 ft_ctl 和 mt_ctl 在环路的控制下不断反馈变化。在 200 ns 之后环路调节结束, cal_ready 信号

被置为高,标志着校准阶段结束。

随后,输出校准后的各档调节码送入数字综合 Fscale 单元进行比例运算。延时的整体计算如式(1)所示。

$$\begin{aligned} Delay = & 4D_cell(N_CT + 1/85 \times N_FT) \\ & + D_cell \times N_MT \end{aligned} \quad (1)$$

其中 D_cell 代表一级基本延时单元的延时, N_CT 、 N_FT 和 N_MT 代表各级延时链被连入的单元数目。

根据已设定好的压降阈值比例, Fscale 产生反馈调节码字赋值给 ct_ctl 、 ft_ctl 和 mt_ctl 。从图 13 可以看到,当标志检测开始信号 $sense_start$ 从低置为高时, ct_ctl 、 ft_ctl 以及 mt_ctl 也同时变化。延时链延时缩小程度与电压下降的检测幅度成正比关系。这部分的计算方法见 3.2 节的数学模型建立部分。至此, Droop Sensor 已经准备好进入检测阶段。在 300 ns 左右电源引入了处理器核变化的电源电压作为仿真激励,同时在开始部分增加了电源过充的情况,用以检测在电源过充时 Droop Sensor 的工作状态。如波形所示, Droop Sensor 的检测使能信号 $swap$ 在电源电压抬高时工作正常,输出保持为低;在电压降低超过标志线所示的电压时,输出变高;当供电电压回升超过标志线后,输出由高变低。整个过程 $swap$ 正确标志了电源的变化状态。

通过 Liberate 工具进行多个工艺角的输入输出时序提取,其中一阶 Droop Sensor 的检测使能信号 $swap$ 相对于输入时钟的同步延时为 45 ~ 98 ps。通过后提取仿真验证,高阶 Droop Sensor 的可调精度高于 3%。整体环路采用多工艺角后提取验证环路锁定及控制功能,输入时钟频率覆盖 2 ~ 3 GHz, 高温及高压供电条件下环路锁定时间小于 500 ns, 整体环路工作正常。

5 结 论

本文对高性能 CPU 功耗管理中的供电电压垂降问题进行了原理说明及探测方法的比较,实现了全数字单独供电的高精度电压垂降传感器设计。设计了基于高性能处理器采用的先进 12 nm 数字工

艺。为抵抗供电延时转换及相位比较过程中的工艺偏差影响,提出了时分复用的方法,采用同一条延时链完成延时的校准和测量,免除了恒定模拟供电的需求,为数字域分布式摆放提供了可行性。采用单端延时结构和差分延时结构相结合的方法,实现 100 ps 以内的快速反馈用于检测一阶垂降响应,同时实现了调节精度高于 3% 的精度控制用于高阶垂降响应,满足了不同类型电压垂降检测的需求。

参考文献

- [1] 胡伟武. 自主 CPU 发展道路及在航天领域应用 [J]. 上海航天, 2019(1): 1-9
- [2] FISCHER T, DESAI J, DOYLE B, et al. A 90-nm variable frequency clock system for a power-managed titanium architecture processor [J]. *IEEE Journal of Solid-State Circuits*, 2006, 41(1): 218-228
- [3] KURD N, MOSALIKANTI P, NEIDENGARD M, et al. Next generation Intel-Core™ micro-architecture (Nehalem) clocking [J]. *IEEE Journal of Solid-State Circuits*, 2009, 44(4): 1121-1129
- [4] WILCOX K, COLE R, FAIR H R, et al. Steamroller module and adaptive clocking system in 28 nm CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2015, 50(1): 24-34
- [5] 贝齐尔茨 C, 庄 P I J, 巴亚科托苏诺格鲁 A, 等. 用处理器核中本地检测回路降低或减轻芯片上电源噪声电压 [P]. 中国专利, 110959257A, 2020
- [6] 张博文. 纳米级超大规模集成电路芯片低功耗物理设计分析 [J]. 通信电源技术, 2020, 37(198): 139-140
- [7] KOUTSOVASILIS P, PARASYRIS K, ANTONOPOULOS C, et al. Dynamic undervolting to improve energy efficiency on multicore X86 CPUs [J]. *IEEE Transactions on Parallel and Distributed Systems*, 2020, 31(12): 2851-2864
- [8] BHARATH K, VENKATARAMAN S. Power delivery design and analysis of 14nm multicore server CPUs with Integrated voltage regulators [C] // IEEE 66th Electronic Components and Technology Conference, Las Vegas, USA, 2016: 368-373
- [9] HUANG B, FANG E, HSUEH S, et al. An octa-core 2.8/2 GHz dual-gear sensor-assisted high-speed and power-efficient CPU in 7nm FinFET 5G smartphone SoC [C] // IEEE International Solid-State Circuits Conference,

- San Francisco, USA, 2021: 490-492
- [10] TOPRAK-DENIZ Z, SPERLING M, BULZACCHELLI J, et al. Distributed system of digitally controlled microregulators enabling per-core DVFS for the POWER8™ microprocessor[C] // IEEE International Solid-State Circuits Conference Digest of Technical Papers, San Francisco, USA, 2014: 98-99
- [11] WILCOX K, COLE R, FAIR III H, et al. Steamroller module and adaptive clocking system in 28nm CMOS[J]. *IEEE Journal of Solid-State Circuits*, 2015, 50(1): 24-33
- [12] SINGH T, SCHAEFER A, RANGARAGAN S, et al. Zen: an energy-efficient high-performance x86 core[J], *IEEE Journal of Solid-State Circuits*, 2018, 53(1): 102-114
- [13] WONG K, RAHAL-ARABI T, MA M, et al. Enhancing microprocessor immunity to power supply noise with clock-data compensation[J]. *IEEE Journal of Solid-State Circuits*, 2006, 41(4): 749-758

Implementation of fast speed high accuracy Droop detection for high-performance CPU

YANG Liqiong, ZHANG Longbing, XIAO Junhua, WANG Jian

(State Key Laboratory of Computer Architecture, Institute of Computing Technology,
Chinese Academy of Sciences, Beijing 100190)

(Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190)

(University of Chinese Academy of Sciences, Beijing 100049)

Abstract

High-performance central processing unit (CPU) has already entered into the nano-process design era. The integration and performance of CPU are greatly improved, while power consumption and clock balance optimization has become a main issue. The increase of physical power supply parasitic impedance is obvious, and the process of rapid increase in power consumption leads to the dynamic voltage droop of power network, which inhibits the further improvement of the main frequency. In this paper, a power supply monitoring optimization method based on all digital fast and high-precision Droop Sensor is proposed. This method uses single digital power supply, easy to be integrated into the processor core digital domain for local power supply real-time monitoring. When Droop Sensor detects a rapid droop in voltage, the clock domain of the processor core is guided in real time for frequency's modulation, helping the processor through periods of low-pressure hazard and returning to normal clock frequencies until the droop is over. The targeted clock optimization of local voltage droop is realized, which avoids the loss of overall power performance. The Droop Sensor design is realized using the 12 nm digital process. The simulation results show that the sensor can respond quickly to the first-order Droop within 100 ps, which can help the CPU through the instantaneous large pressure droop period, and the threshold adjustment accuracy of the high-order Droop response can reach 3%, which supports the power supply level multi-threshold control of the CPU.

Key words: high-performance central processing unit (CPU), voltage supply detection, Droop Sensor