

doi:10.3772/j.issn.1002-0470.2019.05.001

基于电路结构的测试捕获功耗优化方法^①

许超^② * * * * * 陈华军 * * * * * 郝守青 * * 卢新元 * * * * * 章隆兵 * * *

(* 计算机体系结构国家重点实验室(中国科学院计算技术研究所) 北京 100190)
(** 中国科学院计算技术研究所 北京 100190)
(*** 中国科学院大学 北京 100049)
(**** 龙芯中科技术有限公司 北京 100190)

摘 要 研究了扫描结构和测试捕获功耗优化技术,考虑到现有的测试捕获功耗优化技术会降低单个测试向量覆盖的故障点或存在硬件开销过大的问题,提出一种新的基于电路结构的测试捕获功耗优化方法。该方法充分利用芯片内部的电路结构,分析扫描单元之间扇入扇出的关系,并根据分析结果规划扫描单元在捕获阶段的捕获顺序以及需要修改结构的扫描单元。根据扫描链的条数添加相应的时钟控制结构,并提出一种新的扫描单元结构来避免数据捕获违例问题,在不增加测试向量的前提下降低测试捕获功耗。在ITC'99基准电路上的实验结果表明,采用上述优化方法后扫描单元的替换率在50%左右,捕获阶段的功耗能降低40%以上,扫描链条数越多,优化效果越明显。

关键词 扫描单元,电路结构,测试捕获功耗,时钟控制结构,数据捕获违例

0 引 言

扫描模式下的测试功耗可以分为移位功耗和捕获功耗两个部分,在扫描测试过程中由于单个测试向量所检测的故障点过多或翻转过度集中在某个区域等原因,会造成扫描捕获阶段组合逻辑和时序逻辑均触发高翻转而导致芯片的全局或局部的瞬时功耗过大,进而引发压降问题,影响芯片良率。目前业界提出了多种降低扫描测试功耗的解决方案,但大多是基于降低测试移位功耗的角度进行改进,用于降低测试捕获功耗的技术较少。文献[1-5]从门控时钟的角度出发,在捕获阶段控制部分时钟门控开启来降低扫描捕获阶段的翻转率,其中文献[14]是降低全局的扫描捕获功耗,文献[5]则细化到控制

局部的门控时钟来实现降低整体高捕获功耗的目的。文献[6]是从测试向量生成的层面通过对扫描测试向量重排序来降低翻转率。文献[7-11]通过对测试向量X位填充技术进行改进或者测试数据压缩的方法来保证测试过程中的翻转在安全阈值内。文献[12]通过对初始输入端口赋予初始值来降低扫描单元跳变对组合逻辑的影响。文献[13-15]通过扫描链分段和交叉存取的方式来降低捕获阶段的翻转率,其中文献[13]通过控制每段子链的时钟均有机会优先捕获来解决触发器之间的依赖关系问题,文献[14-15]则在分析了触发器之间的依赖关系后通过增加自反馈逻辑或冗余触发器的方式避免扫描捕获违例。文献[1-6,13]虽然都能降低扫描捕获阶段的翻转率,但都会导致单个扫描测试向量覆盖的故障点减少,进而为满足覆盖率的要求而增加测

① 国家“核高基”科技重大专项课题(2009ZX01028-002-003, 2009ZX01029-001-003, 2010ZX01036-001-002, 2012ZX01029-001-002-002, 2014ZX01020201, 2014ZX01030101),国家自然科学基金(61521092,61432016,61222204)和中国科学院重点部署项目(ZDRW-XH-2017-1)资助项目。
② 男,1991年生,博士生;研究方向:计算机系统结构,芯片验证与测试;联系人,E-mail: xuchao@ict.ac.cn
(收稿日期:2018-12-13)

试向量的数量,增加了测试时间。文献[7-11]所提出的方法受工具和测试向量生成算法的影响较大。文献[12]的优化效果受限于输入端口数量。文献[14-15]在功能路径上插入一个自反馈电路,会加重时序余量紧张的路径的负担,严重的情况下会使芯片性能降级,而增加冗余触发器虽然能降低对功能性能的影响,但却大大增加了硬件开销。

为解决捕获阶段功耗过大的问题,本文提出一种新的扫描单元结构,通过对描述电路结构的门级网表中提取扫描单元的扇入扇出关系并进行分析和建模,依据建模的结果将部分关键位置的扫描单元替换为本文所提出的新的扫描单元结构,最大化利用电路本身的特性降低扫描单元的替换率,达到降低测试捕获功耗的目的。

1 背景介绍

1.1 扫描测试原理

扫描链为芯片提供了良好的可控性和可观测性,基于扫描链结构的扫描技术作为可测性设计的关键技术被广泛应用于芯片设计中。扫描测试原理如图 1 所示。

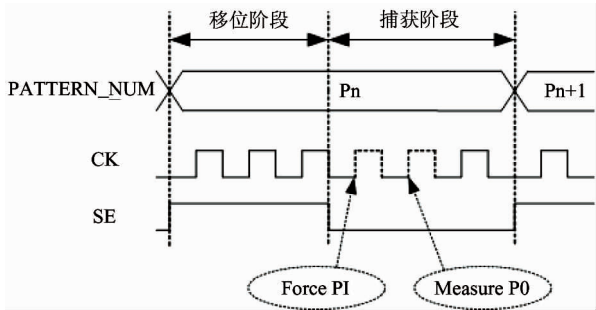


图 1 扫描测试原理

首先,将扫描使能 SE 置高,芯片处于移位模式,通过扫描链移位使得芯片处于预设的初始状态,移位的拍数等于最长扫描链的长度。然后将扫描使能 SE 置低,芯片切换至捕获模式,经过初始输入端口(primary input, PI)赋初值、初始输出端口(primary output, PO)检测后产生一拍捕获时钟进行捕获。最后,重新将扫描使能 SE 置高,在移入下一个测试

向量的同时将捕获的数据移出观测。

1.2 分拍捕获

扫描测试过程中的峰值功耗一般发生在捕获阶段,降低捕获阶段的翻转率能有效地降低扫描捕获功耗。其中最为常见的解决方案是在扫描捕获的过程中进行分拍捕获从而减少单拍捕获操作下的翻转率,达到降低扫描阶段峰值功耗的目的。分拍捕获的原理如图 2 所示^[7],假设翻转率的阈值为 15,图 2(a)为正常捕获的情况,其中第 1~4、6~9 拍为移位阶段,第 5 拍为捕获阶段,2 条扫描链的时钟同频同相位,捕获阶段单独捕获扫描链 chain1 和 chain2 产生的翻转率分别为 12 和 11,在同时捕获的情况下翻转率为两者之和 23,超出了设定的阈值 15,无法满足峰值功耗下的电流需求,因此可能会出现压降问题。图 2(b)为分拍捕获的情况,将 chain2 的时钟延迟半拍,这里选择延迟半拍的好处在于整

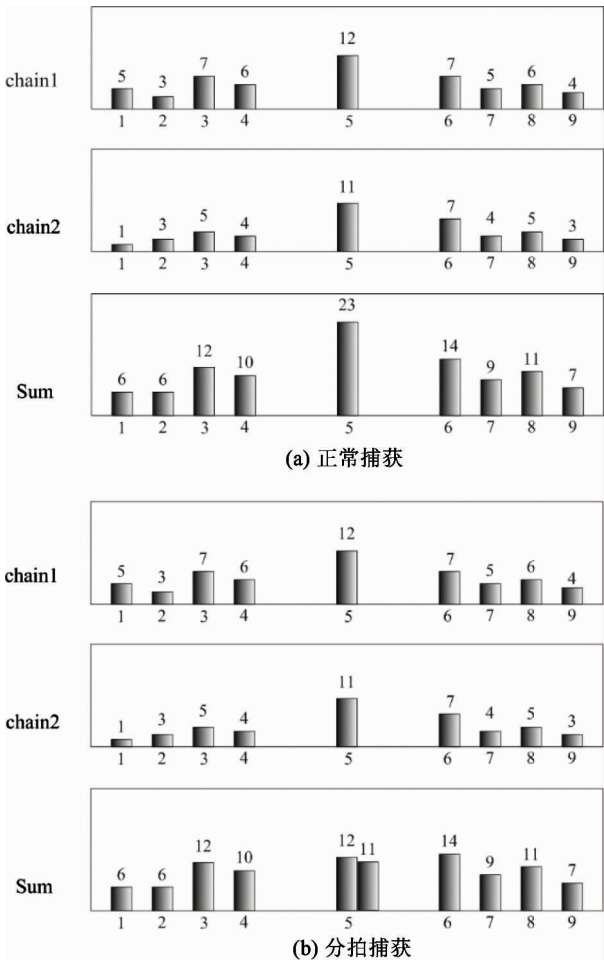


图 2 分拍捕获原理

个扫描测试阶段增加的时间较少,则捕获阶段同一时刻的翻转率最大为 12,在安全的阈值范围内,满足峰值功耗的要求。

1.3 扫描捕获违例

分拍捕获在降低捕获功耗的同时,也带来了扫描捕获违例问题。假设 2 个扫描单元 SC0 和 SC1 在功能模式下的数据关系如图 3 所示,扫描单元 SC0 的数据输出端 Q 经过一级缓冲器 G0 和或门 G2 连接到另一扫描单元 SC1 的功能数据端口 D。SC0 在捕获阶段的期望值为 1,SC1 在捕获阶段的期望值为 0。

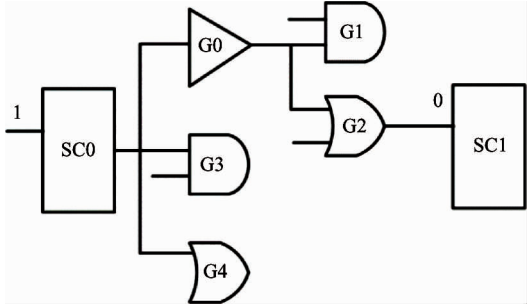


图 3 数据关系图

两个扫描单元在扫描测试下的时序图如图 4(a) 所示,在捕获阶段时钟同时到达,SC0 正确捕获到期望值 1,SC1 正确捕获到期望值 0。

为降低捕获阶段的翻转率,现增加时钟控制逻辑使得 SC0 和 SC1 在捕获阶段进行错拍捕获。如图 4(b)所示,若 SC1 的捕获时钟先于 SC0 到达,由于 SC1 的输出端 Q 的值不影响 SC0 的输入端的值,因此 SC0 和 SC1 均能捕获到正确的值。反之,如图 4(c)所示,若 SC0 的捕获时钟先于 SC1 到达,由于 SC0 捕获后输出端 Q 端的值变为 1,经过缓冲器 G0 和或门 G2 后,SC1 的功能数据端口 D 的值在 SC1 的捕获时钟到达之前刷新为 1,导致 SC1 捕获到错误的值,即“扫描捕获违例”^[8,9]。

2 测试捕获功耗优化实现

2.1 扫描单元结构实现

为解决扫描捕获违例的问题,本文提出扫描单元结构如图5所示,其中选择器M2、选择器M3、锁

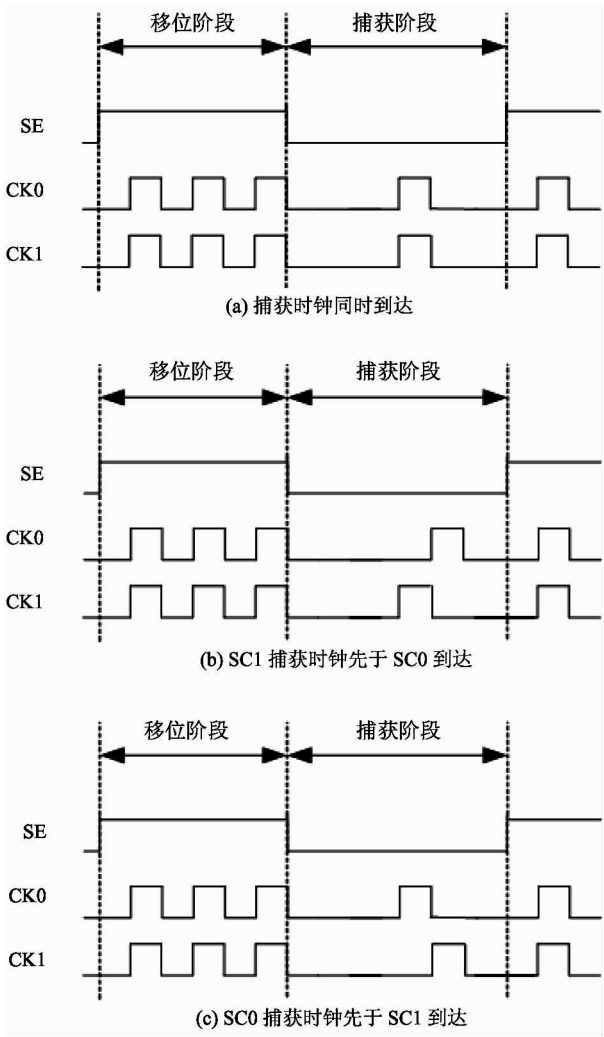


图 4 捕获时钟关系图

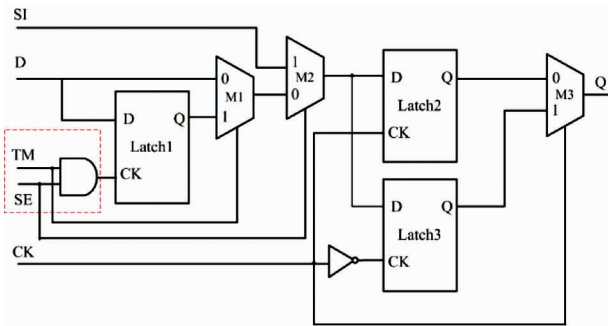


图 5 新扫描单元结构

存器 Latch2 和锁存器 Latch3 组成经典并联双边触发的扫描单元结构,在此基础上增加了选择器 M1 和锁存器 Latch1。需要特别说明的是,虚线方框内的与门的两个输入端分别为测试模式信号 TM 和扫描使能 SE,该与门的输出端是作为全局信号路由连

接到 Latch1 的时钟端口,并非在每个扫描单元结构内均增加一个与门。Latch1 在由移位阶段切换到捕获阶段后将 D 端的值进行锁存,即使 D 端的值在捕获时钟到来之前被刷新,该扫描单元也能捕获到正确的值进行输出。

以图 4(c)为例说明本文所提扫描单元结构可以有效地避免扫描捕获违例问题,SC1 在采用图 5 所示的扫描单元结构后,在扫描模式下的时序图如图 6 所示。

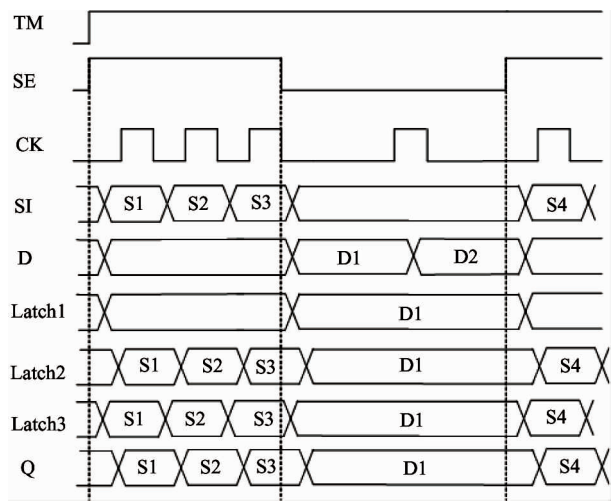


图 6 扫描模式下的时序图

假设扫描单元 SC0 先于 SC1 进行捕获,并将 SC1 功能数据端 D 的值由 D1 刷新为 D2,但由于扫描使能 SE 为低,Latch1 锁存 D1 的值不变,Latch2 和 Latch3 依旧能采到正确的值。

相比经典并联双边触发的扫描单元结构,本设计在硬件开销上虽有所增加,但在功能路径上只增加了一级选择器的延时,对芯片的性能影响较小。除此之外,虽然增加了一级锁存器,但相比于串联单边触发的扫描单元结构而言,在扫描测试模式下的延时并未增加。

2.2 电路结构分析

根据图 4(b)可知,若上游扫描单元存在功能路径到下游扫描单元,即使下游扫描单元的捕获时钟优先于上游扫描单元到达,也不会影响上游扫描单元捕获到正确的值。因此,无需将所有的扫描单元替换为图 5 所示的结构。只要能保证下游扫描单元

优先捕获即可。本文定义:

(1) 若存在扫描单元 A 的 Q 端到扫描单元 B 的 D 端的路径,称 A 扇出 B,记为 $A < B$;也可记为 B 扇入 A,记作 $B > A$;

(2) 若存在 $A < B$ 且 $A > B$,则称其为一个数据回路 Feedback,记作 $fb < A, B >$ 。

为了确定扫描单元是否需要进行修改,需要对每一个扫描单元的扇入和扇出进行统计和分析。为此本文提出了一种统计电路中每个扫描单元扇入和扇出的算法,如算法 1 所示。

算法 1 扫描单元扇入及扇出统计

procedure Fanin_Fanout(Netlist, FANIN, FANOUT)
1) Create collection FI[] and FO[].
2) Extract all scan cells and put them into array SC[].
3) n = sizeof SC[].
4) for i = 1, n do
5) Extract all fanin of SC[i] except SC[i] itself and put them into collection FI[];
6) Extract all fanout of SC[i] except SC[i] itself and put them into collection FO[].
7) Generate FILE FANIN based on FI[].
8) Generate FILE FANOUT based on FO[].
9) **end procedure**

算法 1 的输入是未插入扫描链的门级网表,输出为包含所有扫描单元扇入的 FANIN 文件以及包含所有扫描单元扇出的 FANOUT 文件。首先创建集合 FI[]和 FO[],SC[]是整个电路的扫描单元的集合,可以通过电子设计自动化(electronic design automatic, EDA)综合工具提取,本文采用的是 Synopsys 公司的 Design Compiler。FI[]和 FO[]是扫描单元扇入和扇出的集合,也可以利用 EDA 综合工具提取出来。然后根据每个扫描单元的扇入和扇出存入文件 FANIN 和 FANOUT 中。

若存在扫描单元自身到自身的数据路径,这种自反馈的数据回路不会因为捕获时钟到来的先后导致该扫描单元本身产生扫描捕获违例,因此在统计扇入扇出时对自反馈的情况不进行考虑。

2.3 确定捕获顺序及所需修改扫描单元

在得到每个扫描单元的扇入和扇出后,需要根

据扇入和扇出之间的关联关系确定扫描单元的捕获顺序以及需要修改的扫描单元。其实现如算法 2 所示。

算法 2 确定捕获顺序及所需修改扫描单元

procedure Order_Mod(FANIN, FANOUT, FILE0, FILE1)

- 1) Create two-dimensional array @array_fanin and @array_fanout based on FILE FANIN and FANOUT.
- 2) Create collection C[] and M[].
- 3) L = length of Max_chain.
- 4) n = total number of scan cell.
- 5) Modify_num = 0.
- 6) while((n + Modify_num) > L) do
- 7) num_tmp = number of scan cells have no fanouts based on @array_fanout;
- 8) if(num_tmp != 0)
- 9) push all scan cells have no fanouts into C[];
- 10) n = n - num_tmp;
- 11) renew @array_fanin and @array_fanout;
- 12) **else**
- 13) Calculate weight of all scan cell based on formula of $\{ \text{Weight_scancell_i} = \frac{\text{fanin_num_i}}{\text{fanout_num_i}} \}$;
- 14) select Max of Weight_scancell_i and put it into M[];
- 15) n--;
- 16) renew @array_fanin and @array_fanout.
- 17) Put last scan cell into C[].
- 18) Put M[] into C[].
- 19) Generate FILE0 based on C[] and L.
- 20) Generate FILE1 based on M[].
- 21) **end procedure**

算法 2 的输入是 2.2 节算法 1 中的统计结果 FANIN 和 FANOUT, 输出分别为 FILE0 和 FILE1。其中 FILE0 为扫描链的分配结果, FILE1 为需要修改为本文所提结构的扫描单元。首先根据输入文件 FANIN 和 FANOUT 得到二维数组 array_fanin 和 array_fanout, 分别记录每个扫描单元的扇入和扇出信息。然后统计是否存在没有扇出的扫描单元, 若存在, 则将这些扫描单元记录在集合 C[] 中, 并更新二维数组 array_fanin 和 array_fanout, 将这些扫描单元从扇入扇出的关系中删除; 若不存在, 则根据

算法 2 中步骤 13) 的公式计算每个扫描单元的权重值, 选择权重值最大的扫描单元记录在集合 M[] 中, 并更新二维数组 array_fanin 和 array_fanout, 将该扫描单元从扇入扇出的关系中删除, 重复以上步骤直至不满足步骤 6) 的循环条件, 将剩余的扫描单元和集合 M[] 中的扫描单元依次记录在集合 C[] 中。最后根据设置的扫描链长度和集合 C[] 分配扫描链并得到文件 FILE0, 根据 M[] 得到记录所有需要修改的扫描单元的文件 FILE1。以下对图 7 和图 8 两种情况进行说明。

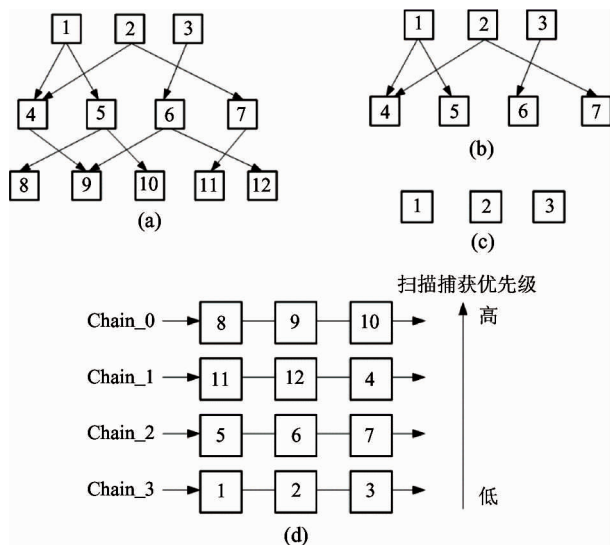


图 7 无数据回路的情形一

以图 7 为例, 假设经过电路分析得到每个扫描单元的扇入扇出信息, 如图 7(a) 所示, 总共 12 个扫描单元, 箭头代表数据路径的方向, 如扫描单元 1 有指向扫描单元 4 和 5 的箭头, 表明 1 扇出 4 ($1 < 4$) 以及 1 扇出 5 ($1 < 5$), 其他同理。在设定最大扫描链长度为 3 的前提下, 首先提取没有扇出的扫描单元, 有扫描单元 8 到 12 总共 5 个, 依次记录到集合 C[] 中, 更新扇入扇出的关系重新整理后如图 7(b) 所示, 然后继续提取没有扇出的扫描单元, 有扫描单元 4 到 7 总共 4 个, 并依次记录到集合 C[] 中, 此时剩余 3 个扫描单元, 小于等于设定的最大扫描链长度, 算法 2 结束, 将剩余 3 个扫描单元依次记录在集合 C[] 中, 此时集合 M[] 为空, 代表不需要修改扫描单元, 即能避免扫描捕获违例的问题。C[] 中的

扫描单元的顺序为 8-9-10-11-12-4-5-6-7-1-2-3,分配扫描链的结果如图 7(d)所示。

分析另一种电路的扇入扇出信息如图 8(a)所示,同样设定最大扫描链的长度为 3。首先提取没有扇出的扫描单元,有扫描单元 8、11 和 12 总共 3 个,依次记录到集合 $C[]$ 中,更新扇入扇出的关系重新整理后如图 8(b)所示。继续提取没有扇出的扫描单元,有扫描单元 7 总共 1 个,并记录到集合 $C[]$ 中,更新扇入扇出的关系重新整理后如图 8(c)所示。此时不存在没有扇出的扫描单元,因此需计算当前所有扫描单元的权重值,权重值的计算方式为每个扫描单元扇入数量与扇出数量的比值,扇入数量越多,意味着修改当前扫描单元为本文所提出的结构后,再次提取没有扇出的扫描单元的概率越大;而扇出数量越少,意味着修改当前扫描单元为本文所提出的结构后,影响的范围越小。因此选择扇入数量与扇出数量的比值最大的扫描单元为目标单元进行结构修改,在图 8(c)中,扫描单元 1、2 和 3 的权重值为 0,扫描单元 5 和 9 的权重值为 1,扫描单元 6 和 10 的权重值为 2,扫描单元 4 的权重值为 3,选择扫描单元 4 记录到集合 $M[]$ 中,并更新扇入扇出关系如图 8(d)所示。继续提取没有扇出的扫描单元 2 和 9 记录到集合 $C[]$ 中,并更新扇入扇出关系如图 8(e)所示。此时再次出现剩余所有扫描单元均存在扇出的情况,重新计算当前所有扫描单元的权重值,扫描单元 1 和 3 的权重值为 0,扫描单元 5 权重值为 1,扫描单元 6 和 10 的权重值为 2,当最大权重值对应的扫描单元不止一个时,随机选取一个作为目标单元,这里选择扫描单元 10 记录到集合 $M[]$ 中,并更新扇入扇出关系如图 8(f)所示。继续提取没有扇出的扫描单元 5 和 6 记录到集合 $C[]$ 中,并更新扇入扇出关系如图 8(g)所示。此时剩余 2 个扫描单元,小于设定的最大扫描链长度,算法 2 结束,将剩余 2 个扫描单元依次记录在集合 $C[]$ 中后,再将集合 $M[]$ 中的扫描单元依次记录在集合 $C[]$ 中, $C[]$ 中的扫描单元的顺序为 8-11-12-7-2-9-5-6-1-3-4-10,分配扫描链的结果如图 8(h)所示,扫描单元 4 和 10 需修改为本文所提结构。

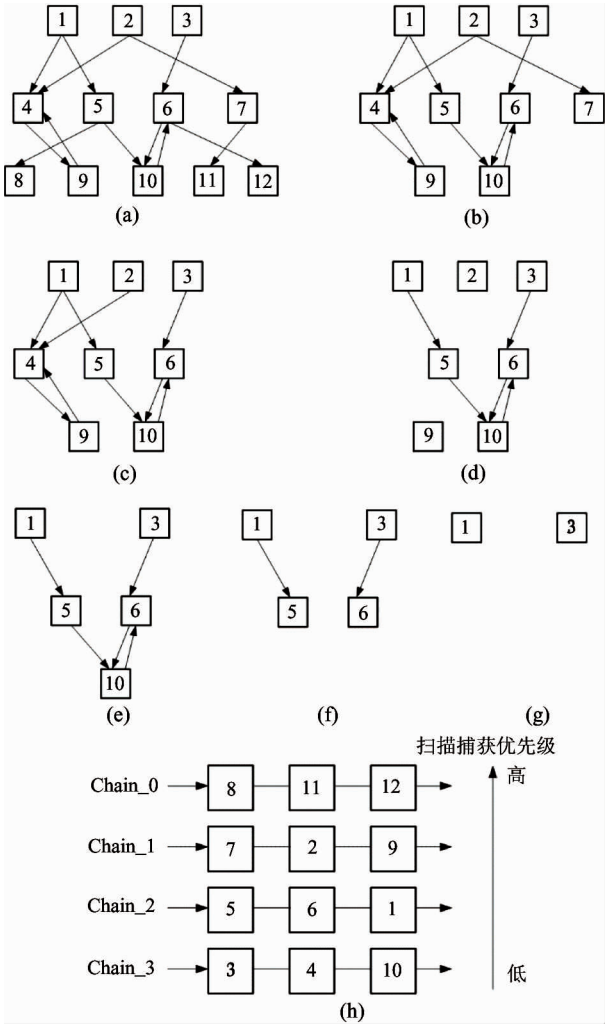


图 8 存在数据回路的情形二

2.4 时钟控制结构

为了实现分拍捕获的扫描设计,本文的时钟控制结构设计如图 9 所示,假设经过以上步骤共得到 N 条扫描链,则在捕获阶段共需要 N 个不同时捕获

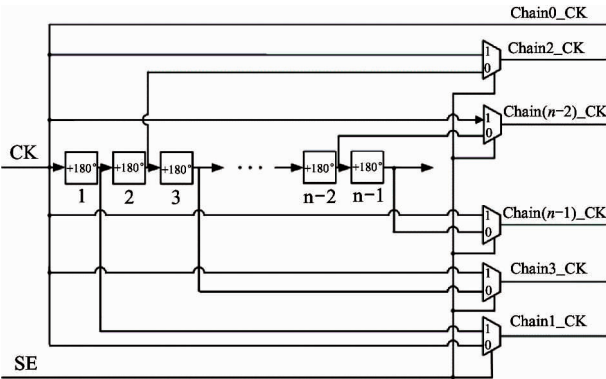


图 9 时钟控制结构

的时钟,CK 经过一级相位延迟 180° 单元相当于时钟往后推移半拍,因此总共需要 $N - 1$ 个相位延迟 180° 单元。

以图 7 的扫描链结构为例,在扫描测试过程中时钟的波形图如图 10 所示。

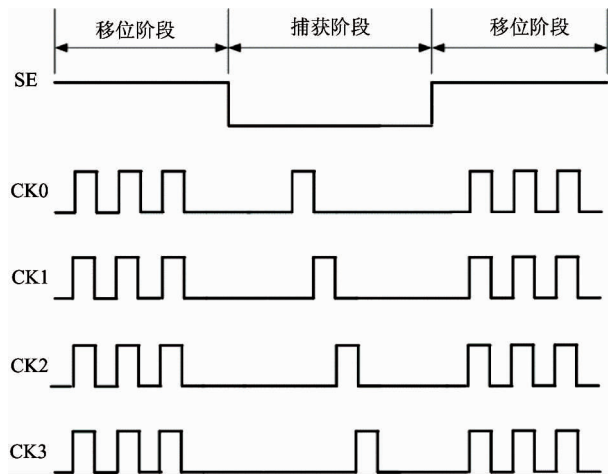


图 10 时钟波形图

捕获阶段只有 $1/4$ 条链在进行捕获操作,因此同一时刻扫描捕获引起的翻转率能大大降低。

由于在 ForcePI 阶段,PI 的值有可能影响扫描单元功能数据端口 D 的值,因此控制扫描使能 SE 往后推移至 ForcePI 阶段之后。

3 测试捕获功耗优化流程

综上所述,本文提出的测试捕获功耗优化流程如图 11 所示。

首先分析和统计电路结构中每个扫描单元的扇入和扇出扫描单元。其次,脚本确定扫描单元的捕获顺序以及所需修改扫描单元的集合,并在电路结构中添加时钟控制逻辑。然后根据捕获顺序生成的 Scan Path 文件指导扫描链的插入,并根据统计出的所需修改扫描单元的集合进行扫描单元的结构修改。最后生成扫描测试向量进行仿真验证及功耗分析。

4 结果分析

为了评估本文所提优化方法对降低测试捕获功

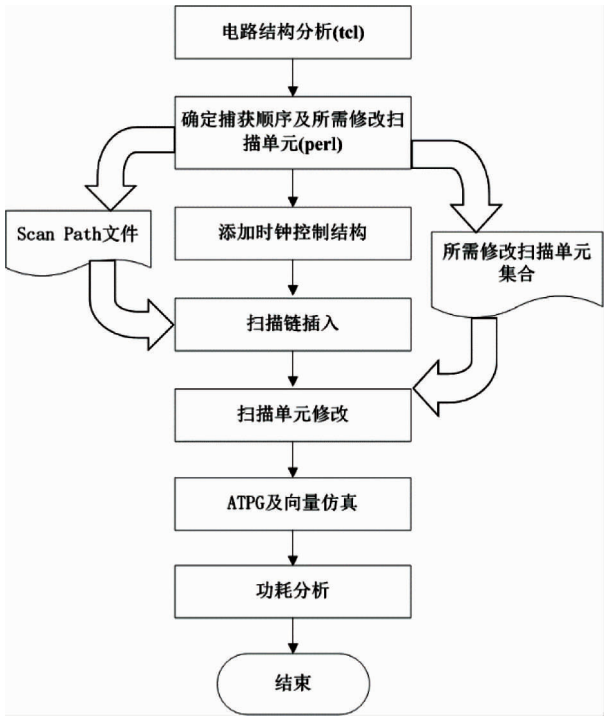


图 11 测试捕获功耗优化流程

耗以及测试开销的效果,本实验选取 ITC'99 基准电路做为评估对象。为了确保实验的一般性和一致性,实验采用自动测试向量生成 (automatic test pattern generation, ATPG) 工具对待测电路随机生成向量,本实验采用 TetraMax,且用同一份向量对两个版本的电路进行仿真验证。由于触发器太少的电路结构过于简单,不具代表性,本实验只选取触发器数目大于 400 的基准电路进行评估。捕获阶段功耗的实验统计结果如表 1 所示,扫描单元替换率和实际硬件开销的实验结果如表 2 所示。表中名词定义如下:

DEF (Default):按照商用 DFT 工具默认的方式插入扫描链后的网表。

BCS (Based on circuit structure):采用基于电路结构分析后修改扫描单元后的网表。

表 1 第 1 列为电路名称,选取了 b15、b17、b18、b20、b21 和 b22 共 6 个触发器数目大于 400 的基准电路。第 2 列和第 3 列为基准电路对应的触发器的数量以及分配的扫描链的条数,其中扫描链的条数根据触发器的数量设置了不同的范围来进行实验,比如 b15、b20、b21 和 b22 扫描单元的数量低于 1000,因此设置了扫描链的长度分别为 2、4、6 和 8

共 4 组实验,b17 在此基础上增加了扫描链的长度为 10 的实验,而针对最大的基准电路 b18 则增加了扫描链的长度分别为 10 和 20 两组实验。第 4 列到第 6 列为捕获阶段的功耗统计,其中第 6 列为不做优化(DEF)和采用本文所提出的优化方法(BCS)两种情况下的实验对比结果。

表 1 捕获阶段功耗对比

电路名称	触发器(个)	扫描链(条)	捕获阶段功耗(W)		
			DEF	BCS	优化
b15	449	2	4.927e-03	2.314e-03	53.03%
		4	4.656e-03	1.423e-03	69.44%
		6	4.589e-03	1.091e-03	76.23%
		8	4.271e-03	8.461e-04	80.19%
		平均			69.72%
b17	1415	2	0.0171	8.261e-03	51.69%
		4	0.0169	5.593e-03	66.91%
		6	0.0162	4.066e-03	74.90%
		8	0.0163	3.340e-03	79.51%
		10	0.0160	2.903e-03	81.86%
		平均			70.97%
b18	3320	2	0.0460	0.0239	48.04%
		4	0.0457	0.0162	64.55%
		6	0.0445	0.0119	73.26%
		8	0.0449	9.602e-03	78.61%
		10	0.0444	7.956e-03	82.08%
		20	0.0435	4.222e-03	90.29%
		平均			72.81%
b20	490	2	7.863e-03	4.576e-03	41.80%
		4	7.806e-03	3.094e-03	60.36%
		6	7.765e-03	2.359e-03	69.62%
		8	7.868e-03	1.785e-03	77.31%
		平均			62.27%
b21	490	2	7.783e-03	4.627e-03	40.55%
		4	7.749e-03	3.102e-03	59.97%
		6	7.645e-03	2.274e-03	70.26%
		8	7.740e-03	1.950e-03	74.81%
		平均			61.40%
b22	735	2	0.0114	6.645e-03	41.71%
		4	0.0117	4.304e-03	63.21%
		6	0.0110	3.332e-03	69.71%
		8	0.0116	2.587e-03	77.70%
		平均			63.08%

从表 1 的结果来看,采用 BCS 分析处理后捕获阶段的功耗在 DEF 的基础上有了明显降低,即使在只分配 2 条扫描链的情况下,所有电路的优化效果均能达到 40% 以上,其中 b15 和 b17 的优化效果最为明显,均达到 50% 以上。并且随着扫描链分配条数的增多,优化效果越明显,其中触发器数量最多的电路 b18 在分配 20 条扫描链的情况下,优化效果达到 90.29%。另外可以观测到,针对同一个电路,在扫描链条数成倍增加时,其优化效果并未随着扫描链条数成倍增加,这是由于所有扫描单元的时钟同时到达时,组合逻辑的输出只跳变 1 次,现将其中一条扫描链的时钟往后推迟半拍,组合逻辑的输出有可能跳变 2 次,但经电路分析可知部分组合逻辑的扇入由多个扫描单元驱动,在扫描链条数越多的情况下,同时刻跳变的扫描单元越少,组合逻辑的扇入跳变的也越少,导致扇出跳变的可能性也就越低。因此随着扫描链条数的增多,捕获阶段的功耗优化效果的幅度逐渐趋于平稳,但总体上仍在增加。

表 2 是采用本文所提优化方法(BCS)后的扫描单元替换率和实际硬件开销的评估结果。实验结果显示,采用本文所提方法,需要修改的扫描单元的数量均在 50% 左右。对于电路结构相对简单的 b15 来说,在扫描链条数为 2 的情况下,仅 9.35% 的扫描单元需要修改。并且由 b15、b20、b21 和 b22 电路的实验结果可看出,扫描链条数越多,需要修改的扫描单元的数量就越多,但从规模较大的 b17 和 b18 电路可以看出,在扫描链条数达到一定的值后,扫描链条数的增加不会导致需要修改的扫描单元的数量继续增长。表 2 最后一列是额外硬件结构开销与实际设计硬件结构开销的所占比例,替换率越高,额外硬件开销越大,b15 电路在 2 条扫描链的情况下最小硬件开销占比为 3.28%,b20 电路在 8 条扫描链的情况下最大硬件开销占比为 19.21%,相对基准电路,实际芯片设计中组合逻辑的比例要高得多,因此实际硬件开销占比会更小。结合表 1 功耗的结果可知,每个电路的扫描链条数存在某个阈值,达到阈值后,捕获阶段的功耗和扫描单元的替换率均达到平稳状态,可作为实际电路设计中的参考。

表 2 测试开销评估

电路名称	触发器(个)	扫描链(条)	替换率		硬件开销占比
			BCS	占比	
b15	449	2	42	9.35%	3.28%
		4	111	24.72%	8.66%
		6	156	34.74%	12.16%
		8	171	38.08%	13.32%
b17	1415	2	706	49.89%	17.74%
		4	705	49.82%	17.71%
		6	705	49.82%	17.70%
		8	705	49.82%	17.69%
		10	705	49.82%	17.69%
b18	3320	2	1660	50.00%	16.05%
		4	1718	51.75%	16.61%
		6	1718	51.75%	16.60%
		8	1718	51.75%	16.60%
		10	1718	51.75%	16.60%
		20	1718	51.75%	16.59%
b20	490	2	245	50.00%	15.78%
		4	276	56.33%	17.76%
		6	296	60.41%	19.03%
		8	299	61.02%	19.21%
b21	490	2	245	50.00%	15.69%
		4	285	58.16%	18.23%
		6	296	60.41%	18.92%
		8	299	61.02%	19.10%
b22	735	2	367	49.93%	15.56%
		4	372	50.61%	15.76%
		6	407	55.37%	17.24%
		8	418	56.87%	17.70%

除此之外,所述优化方法从工程实践的角度出发,分析阶段均采用脚本实现,可以很好地与商用EDA工具结合应用。综上所述,采用所提优化方法可以在有效降低捕获功耗的同时最小化硬件修改带来的开销,这无疑将具有很大的实用价值。

5 结 论

降低测试功耗一直是业内研究的热点。本文在调研了测试功耗优化技术的基础上提出了基于电路结构分析来降低测试捕获功耗的方法。此优化方法从芯片的门级网表中准确提取出扫描单元之间的扇入扇出关系,并在此基础上规划出扫描单元在捕获阶段的时钟优先级以及需要进行结构修改的扫描单

元,并提出一种新的扫描单元结构来避免交叉存取过程中产生的数据捕获违例问题,通过降低扫描测试捕获阶段同时刻的翻转率来降低整体的测试捕获功耗,进而实现降低峰值功耗的目的。另外,本文所提方法考虑了电路结构的原因,能有效地减少芯片的硬件开销。

参考文献

[1] Czysz D, Kassab M, Lin X, et al. Low power scan shift and capture in the EDT environment[C]. In: Proceedings of the 2008 IEEE International Test Conference, Santa Clara, USA, 2008. 1-10

[2] Chakravahanula K, Chickermane V, Keller B, et al. Capture power reduction using clock gating aware test generation[C]. In: Proceedings of the 2009 IEEE International Test Conference, Austin, USA, 2009. 1-9

[3] Bahl S, Mattiuzzo R, Khullar S, et al. State of the art low capture power methodology[C]. In: Proceedings of the 2011 IEEE International Test Conference, Anaheim, USA, 2011. 1-10

[4] Yang B, Sanghani A, Sarangi S, et al. A clock-gating based capture power droop reduction methodology for at-speed scan testing[C]. In: Proceedings of the 2011 Design, Automation & Test in Europe, Grenoble, France, 2011. 1-7

[5] Shaikh R, Wilson P, Agarwal K, et al. At-speed capture power reduction using layout-aware granular clock gate [C]. In: Proceedings of 2014 IEEE International Test Conference, Seattle, USA, 2014. 1-10

[6] Tudu J T, Larsson E, Singh V, et al. On minimization of peak power for scan circuit during test[C]. In: Proceedings of the 14th IEEE European Test Symposium, Sevilla, Spain, 2009. 25-30

[7] Li Y H, Lien W C, Lin I C, et al. Capture-power-safe test pattern determination for at-speed scan-based testing [J]. *Computer-Aided Design of Integrated Circuits and Systems*, 2014, 33(1):127-138

[8] Moghaddam E K, Rajski J, Kassab M, et al. At-speed scan test with low switching activity[C]. In: Proceedings of the 28th VLSI Test Symposium (VTS), Santa Cruz, USA, 2010. 177-182

[9] Kuchte M A, Miyase K, Wen X, et al. SAT-based cap-

ture-power reduction for at-speed broadcast-scan-based test compression architectures [C]. In: Proceedings of the 17th IEEE/ACM International Symposium on Low Power Electronics and Design, Fukuoka, Japan, 2011. 33-38

[10] 陈田,易鑫,王伟,等. 一种低功耗双重测试数据压缩方案[J]. 电子学报,2017,45(6):1382-1388

[11] 沈丹丹. 基于广播扫描的低功耗测试压缩方法研究 [D]. 合肥:合肥工业大学计算机与信息学院,2017

[12] Lai N C, Wang S J. Low-capture-power test generation by specifying a minimum set of controlling inputs [C]. In: Proceedings of the 16th Asian Test Symposium, Beijing, China, 2007. 413-418

[13] Lee K J, Hsu S J, Ho C M. Test power reduction with multiple capture orders [C]. In: Proceedings of the 13th IEEE Asian Test Symposium, Kenting, China, 2004. 26-31

[14] Rosinger P M, Al-Hashimi B M, Nicolici N. Scan architecture for shift and capture cycle power reduction [C]. In: Proceedings of the 17th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, Vancouver, Canada, 2002. 129-137

[15] Rosinger P M, Al-Hashimi B M, Nicolici N. Scan architecture with mutually exclusive scan segment activation for shift- and capture-power reduction [J]. *Computer-Aided Design of Integrated Circuits and Systems*, 2004, 23(7): 1142-1153

A test-capture-power optimization method based on circuit structure

Xu Chao * * * * *, Chen Huajun * * * * *, Hao Shouqing * * , Lu Xinyuan * * * * *, Zhang Longbing * * *

(* State Key Laboratory of Computer Architecture, Institute of Computer Technology, Chinese Academy of Sciences, Beijing 100190)

(** Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190)

(*** University of Chinese Academy of Sciences, Beijing 100049)

(**** Loongson Technology Corporation Limited, Beijing 100190)

Abstract

The scan structure and test-capture-power optimization are studied, and a new test-capture-power optimization method based on circuit structure is proposed to avoid reduction of the number of faults detected by a single test vector and exceeded test cost existing in current methods. The new method makes full use of inner structure of circuit, analyses fan-ins and fan-outs of scan cells, programs capture order of scan cells during capture procedure and modifies some scan cells according to analysis results. Also a clock control structure is added according to the number of scan chains, and a new scan cell structure is used to avoid data capture violations, thus realizing reduction of test-capture-power without adding test vectors. The results of the test conducted on ITC'99 platform demonstrate that the capture-power is reduced by 40% at least and the replacement rate of scan cells is about 50%. The more the number of scan chains is, the better performance the optimization can achieve.

Key words: scan cell, circuit structure, test-capture-power, clock control structure, data capture violations