

采用超低失调运放的集成积分器的设计与实现^①

赵 豪^② 任 建 辛晓宁 刘 斌

(沈阳工业大学信息科学与工程学院 沈阳 110870)

摘 要 采用特殊技术方法控制二级运放中特定 MOS 管尺寸,设计出一种超低失调电压的运算放大器,并将其应用到集成积分器的设计。然后基于理想积分器的工作原理,用一种新的方法,设计并实现了一种有超低失调运放的集成积分器。设计采用 HHNEC 0.18 μm CMOS 工艺,在 Cadence 环境下利用 Hspice 进行仿真,结果显示,运放失调为 556nV,增益以及相位稳定裕度较大;积分器在 1kHz 频率工作时显示出良好的工作特性。版图设计考虑了失配与匹配的问题,并且通过了 DRC 和 LVS 规则检查。

关键词 CMOS, 积分器, 超低失调, 全集成

0 引 言

积分电路的应用很广,它是模拟电子计算机的基本组成单元,经常用于控制和测量系统中。积分电路还可用于延时和定时,在各种波形(矩形波、锯齿波等)发生电路中,积分电路也是重要的组成部分。积分器漂移现象是影响积分器性能的最主要因素^[1],积分器的漂移会对其积分结果产生致命的影响,因而如何减小积分器的漂移成了当今模拟电路设计的一个主题。对于模拟积分器本身而言,运放的失调对积分器漂移有着至关重要的影响,一种长时间低漂移模拟积分器和一种高精度低漂移电子积分器的设计均采用 AD 公司的 OP07 型运放,运放失调电压为 30 μV ^[2,3]。一种 EAST 积分器采用 OP27 型运放,其失调电压为 25 μV ^[4],更多的设计者采用复杂电路消减漂移,这种方法会造成电路的复杂性,漂移降低的同时又引入了其他问题,结果往往不容乐观。由于运放设计本身的困难性,超低失调电压的运放在现有文献中几乎没有被提及^[5-7]。本文提出了一种新型的设计方法,该方法可通过合理控制

二级运放中特定 MOS 管尺寸,设计高增益超低失调电压的运放。考虑到采用硬件电路搭建的电路占用过多的面积和空间,本研究将用上述方法设计的运放与电阻电容进行集成,设计出了集成积分器。该设计采用 HHNEC 0.18 μm COMS 工艺,仿真均使用 Hspice,最终得到性能良好、高度集成的积分器。

1 普通积分器

图 1 是理想积分器运算电路原理图,由于集成运放的同相输入端通过 R_a 接地, $u_p = u_n = 0$, 为“虚地”^[8]。

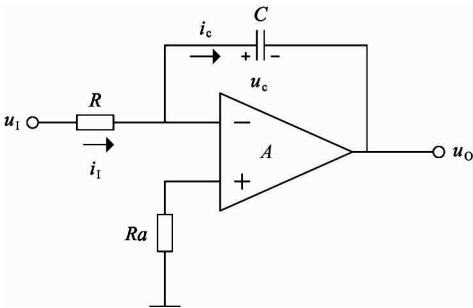


图 1 基本积分运算电路

① 国家自然科学基金(61571308)和辽宁省教育厅一般项目(L205388)资助。
② 男,1992 年生,硕士;研究方向:集成电路设计,通信电子技术;联系人,E-mail: 646409056@qq.com
(收稿日期:2016-06-23)

电路中,电容 C 中电流等于电阻 R 中电流, $i_c = i_R = u_i/R$, 输出电压与电容上电压关系为 $u_o = -u_c$ 故

$$u_o = -\frac{1}{C} \int i_c dt = -\frac{1}{RC} \int u_i dt \quad (1)$$

若电容两端有初始值电压,则 t_1 到 t_2 时间段有

$$u_o = -\frac{1}{RC} \int_{t_1}^{t_2} u_i dt + u_o(t_1) \quad (2)$$

式中, $u_o(t_1)$ 为 t_1 电容上的电压初始值,初始值的存在将对输出结果产生一定影响。所以大部分积分电路会在使用前对电容上电荷进行泄放,以使积分结果更为可靠。

对于非理想情况,输入电压 u_i 受运放的失调电流、运放的输入失调电压、温度等因素的影响。根据叠加原理,运放失调造成的偏移量会随着时间累积,输出在达到饱和之前会一直增加或者减少,这就是积分器的漂移。对精度要求较高的电路,或者是时间积分电路,我们必须消减积分器的漂移,本设计从运放的角度考虑,合理控制二级运放中特定 MOS 管

尺寸比,设计出了失调电压较小的运算放大器,将运放对积分器漂移的影响降到最小。

2 应用于积分器的低失调运放设计

运算放大器是积分器电路中的重要组成部分,运算放大器的性能好坏将直接影响积分器的性能^[9]。低漂移积分器更是依赖于运算放大器的设计,低失调电压的运算放大器是整个电路的设计重点。

2.1 低失调运放电路图

运算放大器的设计如图 2 所示。放大器是一个典型的差分输入二级运算放大器,采用套筒式三层共源共栅电流镜^[10,11]。运算放大器的增益得到很大的提高,并且这种设计的放大器其失调电压比一般的放大器都要小很多^[12]。其具体分析将在下文来介绍。

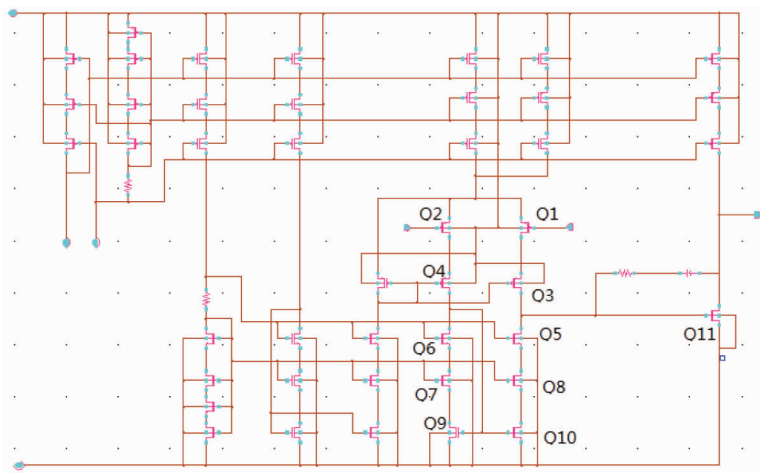


图 2 运算放大器内部电路图

整个电路 $Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ 为第一级共源共栅放大, $Q5$ 、 $Q6$ 、 $Q7$ 、 $Q8$ 、 $Q9$ 、 $Q10$ 为共源共栅的负载, $Q11$ 为第二级放大部分。对于一般共源共栅放大电路,由小信号等效模型可以得出输出阻抗

$$R_{OUT} = [1 + (g_{m2} + g_{mb2})r_{o2}]r_{o1} + r_{o2} \quad (3)$$

增益为

$$Av = g_{m1}r_{o1}[(g_{m2} + g_{mb2})r_{o2} + 1] \quad (4)$$

对于三层共源共栅负载的差分放大电路,容易得到总的差分增益

$$\begin{aligned} \frac{V_{out}}{V_{IN}} = & g_{mP}r_1(2g_{mN} + C_E s)/2r_2r_1C_EC_Ls^2 \\ & + [(2r_1 + r_2)C_E + r_2(1 + 2g_{mN}r_1)C_L]s \\ & + g_{mP}(r_1 + r_2) \end{aligned} \quad (5)$$

其中

$$r_1 = R_{OUT} \quad (6)$$

$$r_2 = [1 + (g_{m3} + g_{mb3})r_{o3}] \{ [1 + (g_{m2} + g_{mb2})r_{o1} + r_{o2}] \} + r_{o3} \quad (7)$$

对于一般差分运算放大器的输入和增益级如图 3 所示,为了保证没有系统偏移电压存在,当差动输入电压为零时,第一级的输出电压 V_{GS7} 应该为让 I_{D7} 等于它的偏置电流 I_{D6} 时所需的电压值^[13],即

$$V_{GS7} = \sqrt{\frac{2I_{D6}}{u_n C_{ox} (W/L)_7}} + V_{in} \quad (8)$$

当差动输入电压为零时,由对称理论,Q3 和 Q4 的漏极电压是相等的。所以

$$V_{GS7} = V_{DS3} = V_{GS4} \quad (9)$$

又

$$V_{GS4} = \sqrt{\frac{2I_{D4}}{u_n C_{ox} (W/L)_4}} + V_{in} \quad (10)$$

所以得到

$$\frac{I_{D4}}{(W/L)_4} = \frac{I_{D6}}{(W/L)_7} \quad (11)$$

其中

$$\frac{I_{D6}}{I_{D4}} = \frac{I_{D6}}{I_{D5}/2} = \frac{(W/L)_6}{(W/L)_5/2} \quad (12)$$

我们看到保证没有输入偏移电压存在的必要条件是

$$\frac{(W/L)_7}{(W/L)_4} = 2 \frac{(W/L)_6}{(W/L)_5} \quad (13)$$

通过上式结合所设计电路获得了较小的偏移电压。

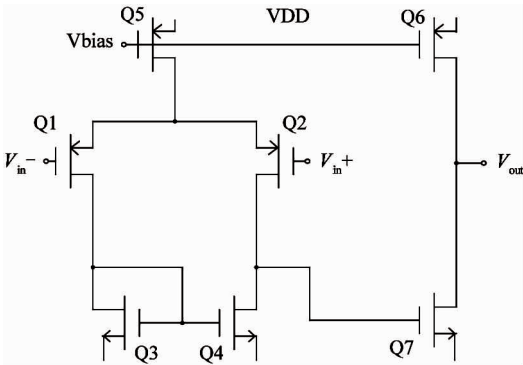


图 3 二级运算放大器的输入和增益级

2.2 运放性能仿真

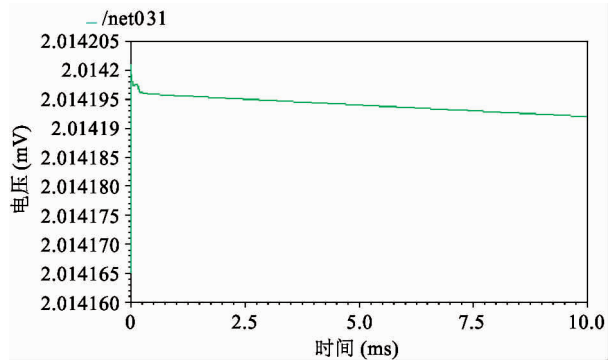
仿真是运放设计的一个重要内容,不同的应用场合对运放的性能指标要求也不一样,并不需要在

任何时候都要将运放的所有指标都进行仿真,所以,在仿真之前要明确应该要仿真运放的哪几项指标,在仿真时,要对不同的指标分别建立仿真电路^[14]。

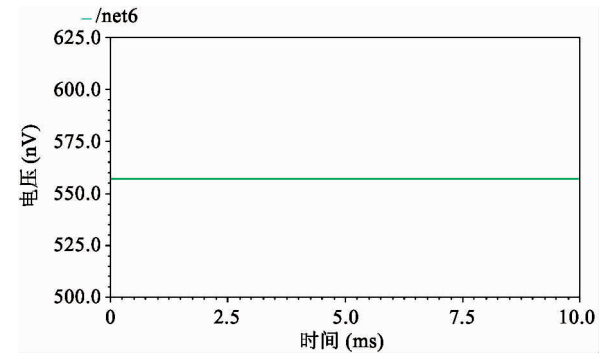
本设计采用 Cadence Hspice 对运算放大器的失调电压、跟随器、交流信号进行了仿真,下面给出仿真结果(仿真均采用 $\pm 2.5V$ 电源供电)。

2.2.1 失调电压仿真

失调电压仿真结果见图 4。其中图 4(a)为普通结构运放的失调电压仿真,结果为 $V_{os} = 2.014mV$;图 4(b)为所设计运放的失调电压仿真,其 $V_{os} = 556nV$,这个数值相比其他运放 mV 级的失调电压小了很多,在现有产品中也是很难达到的数值。



(a) 普通结构运放



(b) 本文设计运放

图 4 失调电压仿真结果图

2.2.2 跟随器仿真

跟随器仿真结果见图 5。从图 5 可以看出,输入在 $-2.5V \sim 2.2V$ 变化时,输出跟随输入变化,输入超过 $2.2V$ 时,输出不再跟随输入变化,从这一结果可以推论出输入动态范围为 $-2.5V \sim 2.2V$ 。这是由于输出端与电源之间 MOSFETs 饱和管压降造成的,对于非轨至轨结构,该运放已表现出良好的特性。

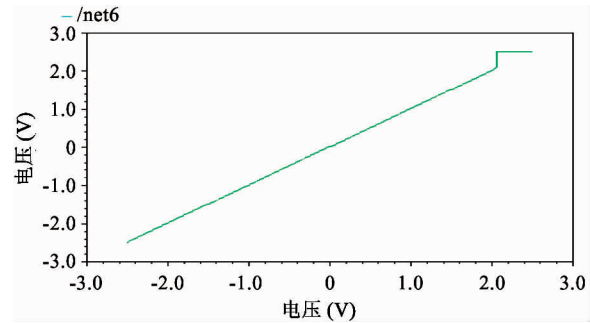


图 5 跟随器仿真结果

2.2.3 交流仿真

放大倍数仿真结果见图 6。从图 6 看到,运放在低频阶段有较大的放大倍数,相位稳定裕度也有相当大的数值。

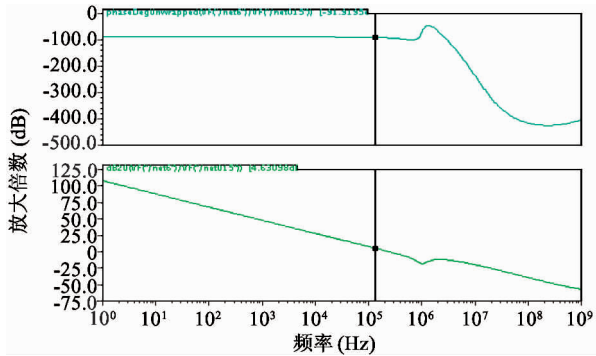


图 6 放大倍数仿真结果

3 积分器电路的实现

采用上文运放进行积分器设计,其中电阻电容的选取要与运算放大器进行匹配,并保证最后版图具有较小的面积。选取电阻 R 为 $200\text{k}\Omega$, R_1 为 $1\text{k}\Omega$,电容 C 为 100pf ,并对这样的设计进行仿真分析,仿真电路如图 7 所示。

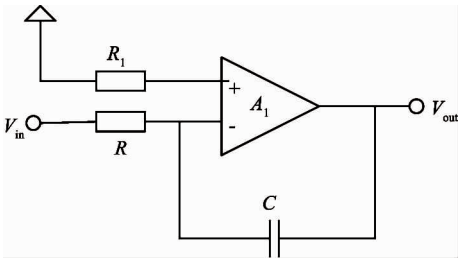


图 7 仿真电路

输入 1kHz 峰值 200mV 的正弦信号,得到仿真结果,正弦信号变为余弦信号(见图 8)。根据电路仿真,输出结果完全符合理论值,这也反过来说明外围参数选取的匹配性良好,并且积分器的性能非常好,超低失调电压的运放在积分器中应用良好。

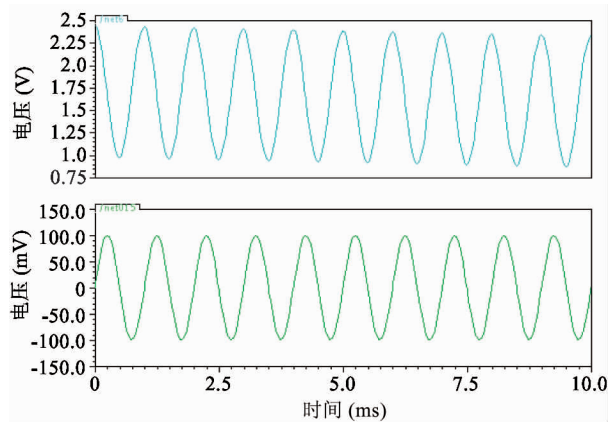


图 8 仿真结果

4 版图

集成电路版图的绘制有相应的规则要求,按照 HHNEC180 工艺规则,为达到更小的版图面积,按照最小尺寸,所得到的版图如图 9 所示。值得说明的是,电路图中管子的尺寸参数等为理想状态,版图中差动对的设计必须保证其周围环境具有相当高的相似度,这样才能保证在流片生产以及电路运用中差动管子基本一样,本版图设计专门对差动电路进行设计,并保证了他们所处环境的高度一致。

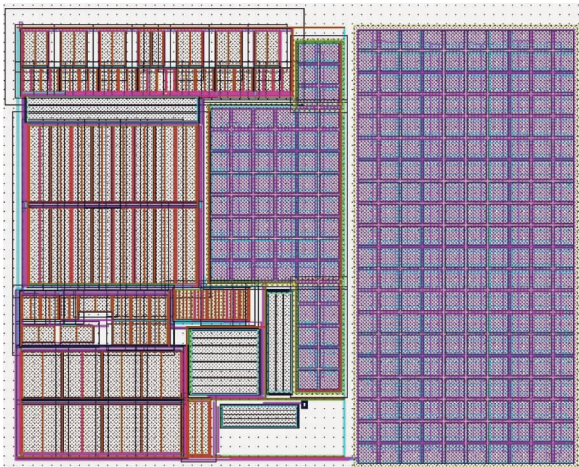


图 9 积分器版图

5 结 论

本文采用 HHNEC 0.18 μm COMS 工艺进行了高性能运放的设计,设计出的特殊结构运放具有超低失调电压^[15-19],能够在很多高精度以及积分时间长的场合运用,仿真实验的结果也与理论值相吻合,充分说明了该设计的正确性。文中提到的减小运放失调电压的设计方法可以推广到任何运放电路中,尤其是一些需要高精度低失调的电路。对于集成积分器,本次设计是利用 Cadence 环境下的 Hspice 进行的仿真,集成电路在设计软件上的仿真足以说明电路的可靠性,该电路是一个具有突破性的设计,也相信其必能在各个领域得到运用。

参考文献

- [1] 王勇,季振山,罗家融. 自动补偿低零漂积分器设计. 计算机测量与控制, 2006,14(4): 530-532
- [2] 刘冬梅,万宝年,沈飏. HT-7 中长时间低漂移模拟积分器的研制. 核电子学与探测技术, 2007,27(3): 447-451
- [3] 李向阳,周璟,董威. 一种高精度低漂移电子积分器的设计. 中国测试技术, 2007,133(6): 137-140
- [4] 吴一纯,王勇,刘冬梅等. EAST 积分器系统的设计. 原子能科学技术, 2009,43(12):1133-1137
- [5] 甄志芳,赵毅,张福海. 超大时间常数开关电容积分器设计. 南开大学学报(自然科学版), 2008,41(3):96-100
- [6] 李海希,王磊. 一种新颖的超大时间常数积分器. 固体电子学研究进展:硅微电子学, 2012,32(5):497-505
- [7] 陈晓明,邹雪城,周云明. 一种开关电容积分器. 计算机与数字工程, 2004,32(6):110-114
- [8] 唐治德,申利平. 模拟电子技术基础. 第二版. 北京:

科学出版社,2015. 72-74

- [9] 张鹏南,杨庆江,夏洪洋. 双斜率积分 ADC 中开关电容积分器的设计. 黑龙江科技学院学报, 2011,21(5):404-407
- [10] 毕查德·拉扎维著,陈贵灿等译. 模拟 CMOS 集成电路设计. 西安:西安交通大学出版社, 2003. 243-252
- [11] Phillip E Allen, Douglas R Holber 著,冯军译. CMOS 模拟集成电路设计. 第二版. 北京:电子工业出版社, 2005. 236-249
- [12] Sander T, Sprenger A, Marti S. Effect of 4-aminopyridine on gravity dependence and neural integrator function in patients with idiopathic downbeat nystagmus. *Journal of Neurology*, 2011, 258(4): 618-622
- [13] 约翰斯,马丁著,曾朝阳等译. 模拟集成电路设计. 北京:机械工业出版社, 2005. 160-161
- [14] Roienton Lahiji G, Atri Ebrahimpour M. A continuous time auto-zero offset compensated switched capacitor integrator. *Analog Integrated Circuits and Signal Processing*, 2000, 24:269-272
- [15] Drummond G B, Goodenough P C. Automatic correction for drift in an integrator for phasic signals. *cd. & Biol. Eng. & Comput*, 1977, 15:688-691
- [16] Modesto J P, da Silva K M C. Drift-free electronic integrator for respiration studies. *Med&Biol. Eng&Comput*, 1982, 20:457-460
- [17] Miller P, Katz D B. Accuracy and response-time distributions for decision-making: linear perfect integrators versus nonlinear attractor-based neural circuits. *Journal Computational Neuroscience*, 2013,35(3): 261-294
- [18] Abdulle A, Vilmart G, Zygalakis K C. Mean-square A-stable diagonally drift-implicit integrators of weak second order for stiff Itô stochastic differential equations. *BIT Numerical Mathematics*, 2013,53:827-840
- [19] 宋文青,于奇,朱波. 一种具有采样保持功能的开关电容积分器. 微电子学与计算机,2013,30(3): 51-54

Design and implementation of an integrated integrator using ultra low offset operational amplifier

Zhao Hao, Ren Jian, Xin Xiaoning, Liu Bin

(School of Information Science and Engineering, Shenyang University of Technology, Shenyang 110870)

Abstract

An ultra low offset voltage operational amplifier (OP) was designed by using a special technology which controls the size of particular MOSFETs in the secondary order OP, and the OP was applied to the design of an integrated integrator. Then, based on the principle of ideal integrator, an integrated integrator using an ultra low offset operational amplifier, was designed and implemented by using a new method. The design used the HHNEC 0.18 μm CMOS process, and the simulation used the Hspice under the Cadence environment. The simulation results showed that the offset of amplifier was 556nV, the gain and the phase stability margin were large. Meanwhile the integrator exhibited good operating performance when operating at the frequency of 1 kHz. The Layout design took the mismatch and matching problems into account, and its DRC and LVS rules check was passed.

Key words: CMOS, integrator, ultra low offset, fully integrated