

E 波段微波传输系统发送滤波模块的 FPGA 设计<sup>①</sup>

卢佳欣<sup>②</sup> 周志刚 王丽云 曾建明 陈圣吉

(中国科学院上海微系统与信息技术研究所宽带无线技术实验室 上海 200050)

**摘 要** 针对 E 波段微波传输系统中发送滤波模块实现时存在的硬件复杂度高和采样率不匹配等问题,提出一种基于查表法的“零乘法”解决方案,并设计出了适合现场可编程门阵列(FPGA)实现的发送滤波器硬件结构。对这种硬件结构进行了实现复杂度理论分析、MATLAB 仿真及 FPGA 开发板评估验证,结果表明,该结构设计能同时完成信号成型滤波与重采样,相比于传统基于卷积的方案仅占用 16.7% 的加法器资源且不需要任何乘法运算,具有复杂度低、实时性高的特点。

**关键词** E 波段,微波,发送滤波,成型滤波,重采样,采样率转换,查表法

0 引言

无线通信正朝着超高速、大容量方向发展,急需大容量高速传输系统作为回传通道和进行点到点互联。现有解决方案在光纤铺设上往往比较困难,且价格昂贵,而传统微波技术存在传输距离短、速率不够高等局限性。E 波段微波传输系统工作频率为 70/80GHz<sup>[1]</sup>,可用带宽达 10GHz,支持超大容量点到点无线传输,且频段受环境干扰较小,适用于中远距离传输,能够实现无线环境下的超高速(10 ~ 30Gbps)数据率传输<sup>[2]</sup>,可替代光纤干线传输。因此,E 波段微波传输成为国际上公认的未来无线回传网络的首选方案,并有望应用于企业网点到点宽带接入、应急高速无线宽带接入等领域。

发送滤波是 E 波段微波传输系统中的关键模块,主要实现信号特性与信道的匹配,涉及成型滤波<sup>[3,4]</sup>和采样率变换<sup>[5]</sup>。成型滤波器<sup>[6]</sup>主要有单级结构(先内插后抽取)滤波、多级级联滤波、多相滤波<sup>[7]</sup>和 Farrow 结构<sup>[8,9]</sup>的滤波等实现方式。采样率变换旨在匹配不同模块间的数据速率。现有解决方

案存在硬件复杂度高和不确定的数据传输速率与相对固定的数模转换(DAC)器件的采样率不匹配等问题,现有手段主要是通过改进滤波器的加乘结构来降低实现复杂度。针对这种情况,本文提出了一种基于查表法的“零乘法”解决方案,并设计出一种适合现场可编程门阵列(FPGA)实现的发送滤波器硬件结构。本研究通过 MATLAB 仿真与 FPGA 测试板调试,对该结构的有效性、实现复杂度和实时性等性能进行了评估验证。验证结果表明,该结构能同时完成成型滤波及采样率转换过程,而且实现简单,占用较少资源,能有效提高实时性和降低系统复杂度。

1 E 波段微波系统成型滤波与重采样

E 波段微波传输系统的发送链路结构如图 1 所示,其中发送滤波模块由预编码、采样率转换和脉冲成型滤波三部分构成。预编码模块用于对抗收发端硬件设备引入的信号畸变;采样率转换模块用于实现不确定的数据率和相对固定的 AD/DA 器件采样率间的速率匹配;脉冲成型滤波模块对基带数字信

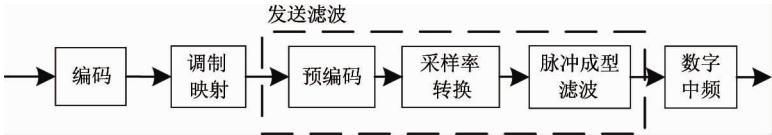


图 1 发送滤波及 E 波段微波传输系统链路结构

① 中科院战略性先导科技专项(XDA06011100)和中科院重点部署(KGZD-EW-103-5(4))资助项目。  
② 女,1990 年生,硕士;研究方向:宽带无线移动通信;联系人,E-mail: jiaxin.lu@mail.sim.ac.cn  
(收稿日期:2014-03-07)

号进行成型滤波,使之更适合信道特性。

系统中成型滤波器采用平方根升余弦(Root Raised-Cosine, RRC)滚降滤波器<sup>[10]</sup>,以解决信号特性与信道不匹配问题,RRC 滤波器结构如图 2 所示。

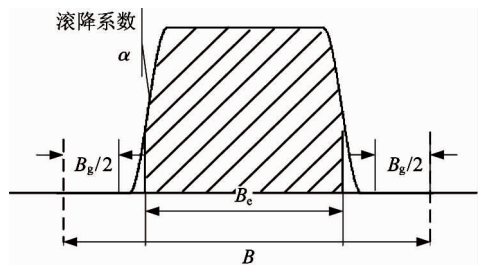


图 2 RRC 滤波结构

RRC 滤波器的冲击响应用下式表示:

$$h(t) = \begin{cases} 1 - \alpha + 4 \frac{\alpha}{\pi}, & t = 0 \\ \frac{\alpha}{2} \left[ \left( 1 + \frac{2}{\pi} \right) \sin \frac{\pi}{4\alpha} \right] + \left( 1 - \frac{2}{\pi} \right) \cos \frac{\pi}{4\alpha}, & t = \pm \frac{T_s}{4\alpha} \\ \frac{\sin \left[ \pi \frac{t}{T_s} (1 - \alpha) \right] + 4\alpha \frac{t}{T_s} \cos \left[ \pi \frac{t}{T_s} (1 - \alpha) \right]}{\pi \frac{t}{T_s} \left[ 1 - \left( 4\alpha \frac{t}{T_s} \right)^2 \right]}, & t \neq \pm \frac{T_s}{4\alpha} \end{cases} \quad (1)$$

其中,  $T_s$  为脉冲输入信号的周期,  $\alpha$  为 RRC 滤波器的滚降系数,表达式为

$$\alpha = \frac{B_c - B_e}{B_e} \quad (2)$$

其中  $B_c$  为理想低通滤波器的带宽,  $B_e$  为 RRC 的有效带宽。

系统中采用带宽为 2.5GHz 的双通道结构,根

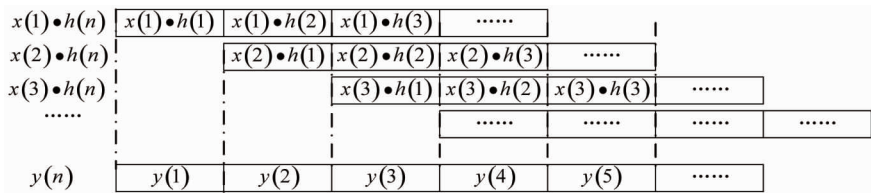


图 5 卷积运算过程

同理,对图 4 中第一路信号进行 8 倍插零后,与  $h(n)$  的卷积运算过程如图 6 所示(以 72 阶  $h(n)$  为

据设计,选取 RRC 滤波器的滚降系数  $\alpha = 0.2$ , 通道间的保护间隔  $B_g = 250\text{MHz}$ 。则系统每个通道的有效带宽  $B_c = B - B_g = 2.25\text{GHz}$ ,RRC 滤波器的有效带宽  $B_e = 1.875\text{GHz}$ 。而后级数模转换(DAC)器件的最大采样率是 5GHz。为确保模块数据速率匹配,需进行 8/3 倍的采样率转换。

传统 8/3 倍采样率转换结构如图 3 所示,图中  $\uparrow$  代表上采样, $\downarrow$  代表下采样。

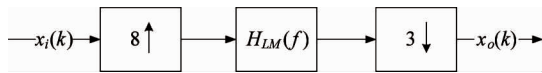


图 3 传统 SRC 结构

系统中数据速率大,对滤波器的运算速度要求高,可采用并行多相滤波结构来提高处理速度并节省硬件资源。本设计基于多相滤波采样率转换的演变方案<sup>[11]</sup>,采用图 4 所示的 3 相滤波结构,将结构中的有限冲击响应(finite impulse response, FIR)滤波器用 RRC 滤波器替换,同时完成成型滤波及采样率转换。

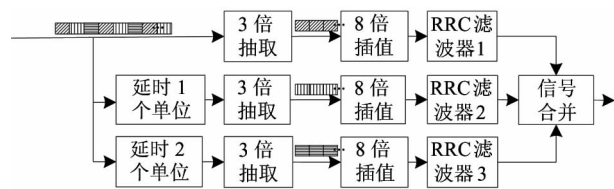


图 4 发送滤波模块设计方案

在可编程硬件实现中,乘法操作被称为强操作,而加法和延时操作则被称为弱操作,前者比后者需要更多的硬件资源和处理时间。为降低实现复杂度,应尽量减少强操作数,并将弱操作数控制在可接受范围<sup>[12]</sup>,因而考虑采用查表法实现上述发送滤波结构。下面以图 4 结构的第一路为例进行分析。

$y(n) = x(n) * h(n)$  卷积运算可表示为图 5 所示的过程,每一行的长度为  $h(n)$  的阶数。

例)。由图 6 易知,相邻 9 个输入值  $x(1), x(4), \dots$ ,

$x(25)$  共同决定一组输出,则对于斜线纹理、竖线纹理以及横线纹理 3 路情况,相邻 27 个输入值  $x(1)$ ,  $x(2), \cdots, x(27)$  共同决定一组输出。由于调制之后的信号共有 7 种取值可能,当遍历 27 个数的所有排

列组合时,将产生  $7^{27}$  种取值可能作为发送滤波模块的输入。通过预存储相应的输出值可得到查找表。硬件实现时仅需将输入信号映射成相应的输出即可,避免了加乘运算。

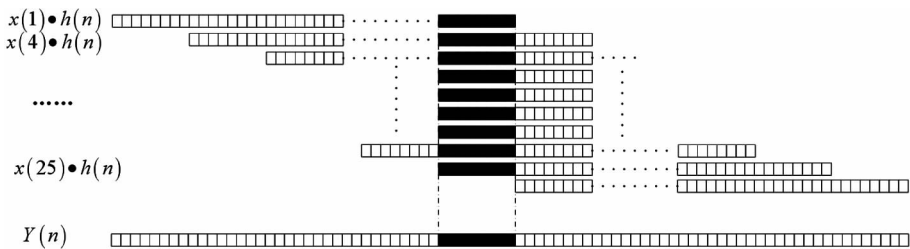


图 6 插零后的卷积运算过程

2 发送滤波模块的 FPGA 设计

E 波段微波传输系统中采用图 7 所示的帧结构。其中,前导是复小数,采用预存储方式;而头部和数据块是调制后的信号,采用查表法实现。

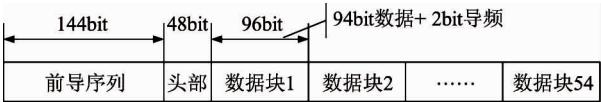


图 7 E-band 通信系统中的帧结构

对于连续帧的传输情况,前导和头部及数据块衔接部分会互相影响。本设计采用图 8 所示的处理方式来消除这部分影响。首先,将头部和数据部分作为一个整体,首尾各增补 24 个零,一起作为查表输入,则多输出 64 ( $24 \times 8/3$ ) 点。然后将前导输出

值前后 64 点将叠加加上头部和数据部分首尾 64 点数据再输出。

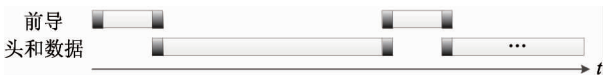


图 8 连续帧的处理方式

然而,这种统一的帧处理方式将导致最后一帧的末尾多叠加了前导的预存储值。对于系统中连续帧数较多情况,由于仅在最后一帧的尾部引入误差,因此该误差可忽略不计。

基于上述连续帧处理方式,设计出图 9 所示的 FPGA 硬件实现结构。输出控制模块用于控制信号的输出状态。状态 1 输出前导预存储值,状态 2 输出前导预存储值与头及数据块查表结果的叠加值,状态 3 输出头部及数据块查表结果。

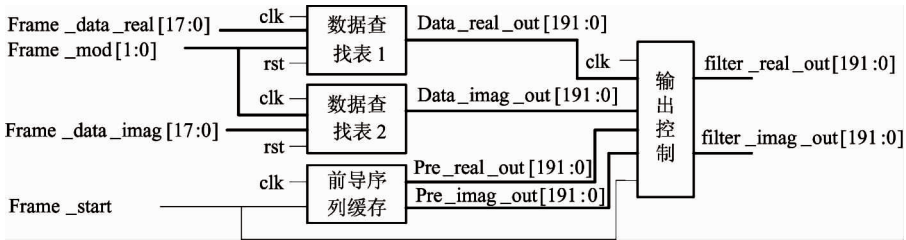


图 9 发送滤波器的 FPGA 硬件实现结构

E 波段微波传输系统中采用 312.5MHz 晶振,根据  $1.875\text{GHz}/312.5\text{MHz}$ ,每个时钟上升沿有 6 个数据来临。由于相邻 27 个输入作为一组查表地址决定一组输出,因此本地需定义一个长度为 30 的移位寄存器组,具体方式如图 10 所示。

每个时钟上升沿来临时,寄存器组右移 6 个数,

同时以前级模块传来的 6 个数更新本地寄存器组的高 6 个数;然后将  $[26:0]$  作为查找表的第一组地址查找输出 8 个数,完成第 1 组  $8/3$  倍采样率的转换;同时将  $[29:3]$  作为查找表的第 2 组地址查找输出 8 个数,完成第 1 组  $8/3$  倍采样率的转换;最后将两个 8 路输出拼接实现 16 路的输出。对于查找表规模

过大的情况,可通过先拆分子表并行查找、后求和的方式进行优化。

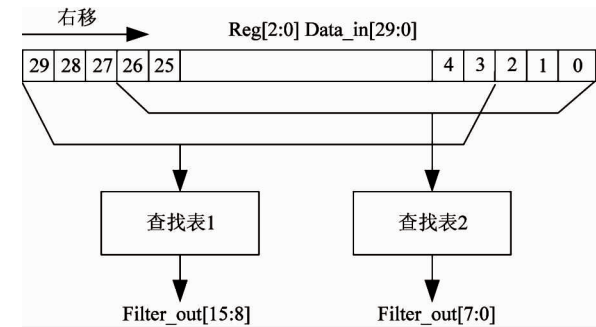


图 10 查找表的硬件实现方式

3 复杂度分析及性能评估

3.1 硬件实现复杂度的理论分析

为了分析本文所提出的“零乘法”硬件结构的实现复杂度,以一帧数据为例,分别从乘法和加法次数的角度对比了该方案 and 传统基于卷积运算的多相滤波实现结构,如表 1 所示。

表 1 基于查表法和传统卷积法的复杂度对比

| 结构类型    | 次数    |       |
|---------|-------|-------|
|         | 乘法    | 加法    |
| 基于查表法   | 0     | 1792  |
| 基于传统卷积法 | 10752 | 10752 |

由表 1 可见,相比于传统的卷积法实现结构,本文所设计的滤波结构仅需占用 16.7% 的加法器资源且不需要任何乘法运算,因而具有更高的滤波效率和更低的硬件实现复杂度。

3.2 MATLAB 仿真及性能评估

针对不同的随机输入帧信号,通过在接收端设置对称匹配的结构,观察收发端信号星座图及计算误差向量幅度(EVM)值进行性能评估。为了与后级 12 位的 DAC 模块匹配,需对发送滤波模块中的数据进行 12 比特量化。通过 MATLAB 仿真测试,本模块输出信号最大值为 1.6746,最小值为 -1.6600,则 12bit 分配情况是:符号位 1bit,整数位 1bit,小数位 10bit,表示精度为  $2^{-10}$ 。下面分别对 12 比特量化前后的情况进行仿真实验,场景设置为:输入信号为连续 10 帧数据、未经过信道、无噪声干扰,数据块部分采用 16QAM 调制。

图 11 给出了包含了前导和头部序列的收发信号星座图对比情况,由图可见,收发信号基本一致。图 12 给出了量化结果:截断前  $EVM = 0.32\%$ ,接收信号相对于发送信号的误差约为 -27dB;而截断后,收发信号的 EVM 值上升为 0.64%,接收信号相对于发送信号的误差约为 -24dB,相比截断前约增加了 3dB。综上,12 比特截断量化引入了 3dB 的量化误差,但整体性能仍然较理想,仅在最后一帧的尾部有较大误差,这对于连续帧的传输结构,影响可忽略不计。

3.3 FPGA 测试板的调试验证

在 FPGA 开发板 VC709 上对上述发送滤波结构进行调试验证。硬件测试连接方式如图 13 所示。首先,创建 IP 核,定制一组固定输入值到 ROM 中。在每个时钟上升沿逐个读出数据,作为发送滤波模块的输入,触发该模块正常工作。接着,添加 ILA 调试核,通过添加触发条件“rst\_IBUF = 0”捕获从帧头开始的数据,得到图 14 所示的输出波形。最后,

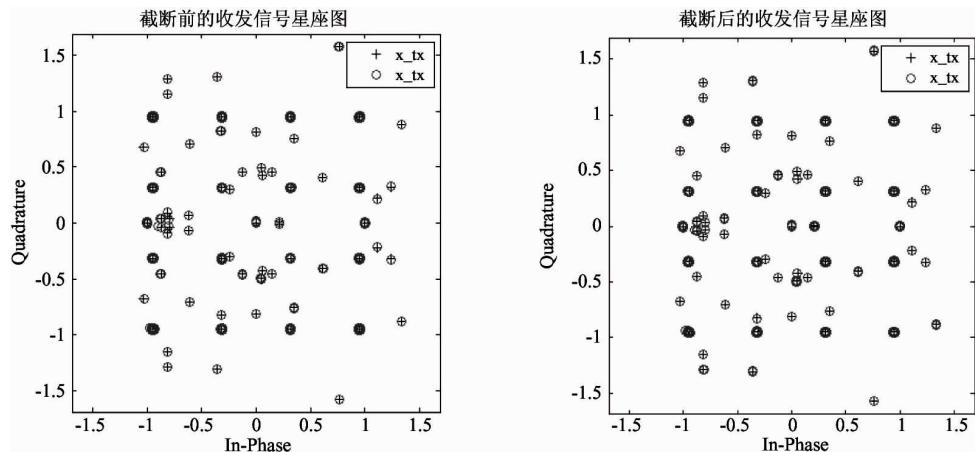


图 11 收发信号星座图



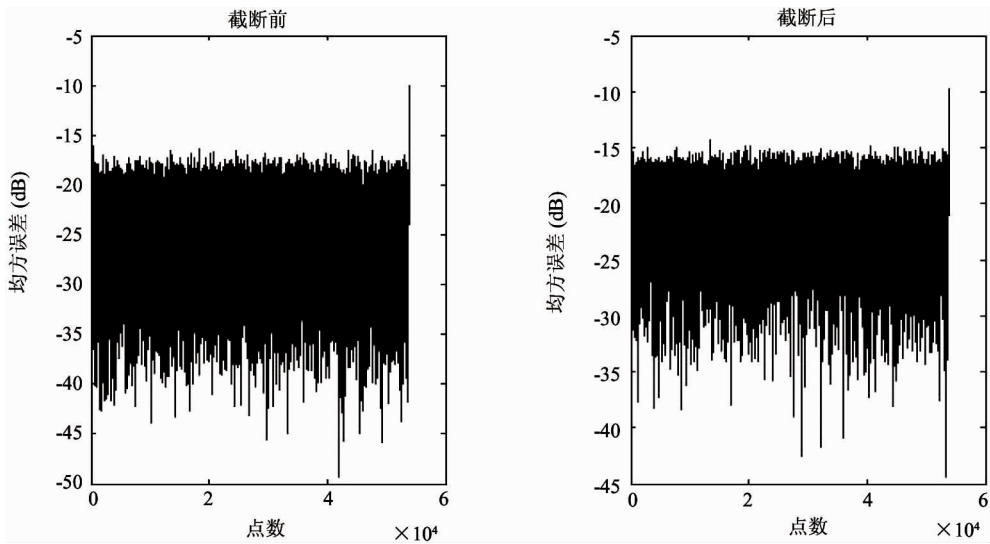


图 12 截断前后收发信号相对误差

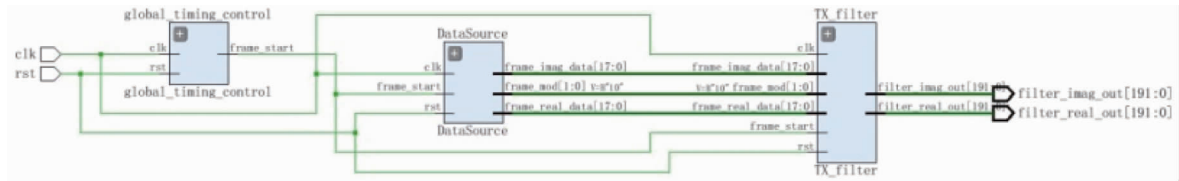


图 13 FPGA 硬件测试连接图

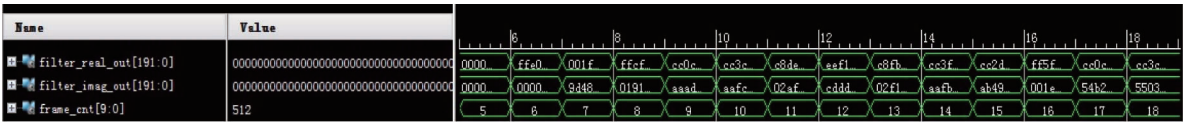


图 14 VIVADO Logic Analyzer 输出波形

将 FPGA 调试结果和 MATLAB 仿真实验数据进行定点化比对,得到图 15 所示的结果。

4 结 论

本文分析了 E 波段微波传输系统中发送滤波器的设计要求,针对现有方案中存在的问题,提出一种“零乘法”的查表结构,并对其进行了可行性分析及性能评估,最终设计出一种适合 FPGA 实现的硬件结构。仿真实验及硬件调试结果表明,该结构能同时完成成型滤波及采样率转换过程,实现简单,占用资源较少,能有效提高实时性并降低系统复杂度。

参考文献

[ 1 ] Claudio C, Massimo C. Next-generation access network: A wireless network using E-band radio frequency ( 71-86GHz ) to provide wideband connectivity. *Bell Labs Technical Journal*, 2011, 16(1): 187-206  
[ 2 ] 李超,钟文斌,周志刚等. E-Band 通信系统中高速 RS

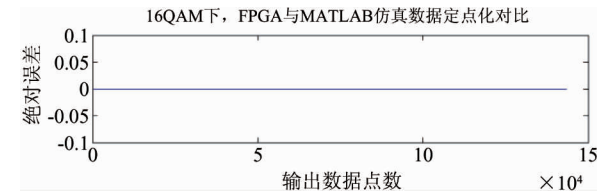


图 15 FPGA 与 MATLAB 仿真数据定点化对比

实验结果显示,FPGA 输出的有效长度与 MATLAB 仿真得到的数据长度一致,均为 143360,满足 8/3 倍的转换关系。除存在由逻辑单元引起的 3 个单位(9.6ns)的延时外,准确率是 100%,进一步验证了该硬件结构的正确性和可行性。

- 编译码设计与验证. 电子技术应用, 2013, 39(12): 110-117
- [ 3 ] Bolcskei H, Duhamel P, Hleiss R. Design of pulse shaping OFDM/OQAM systems for high data-rate transmission over wireless channels. In: Proceeding of the IEEE International Conference on Communications, Vancouver, Canada, 1999. 559-564
- [ 4 ] Xia X G. A family of pulse-shaping filters with ISI-free matched and unmatched filter properties. *Proceedings of the IEEE Transactions on Communications*, 1997, 45(10): 1157-1158
- [ 5 ] Rothacher F M. Sample-rate conversion: algorithms and VLSI implementation[ Ph. D dissertation]. Swiss Federal Institute of Technology Zurich, 1995
- [ 6 ] Kang A S, Sharma V. Pulse Shape Filtering in Wireless Communication-A Critical Analysis. *International Journal*, 2011, 2(3): 68-74
- [ 7 ] 高志成, 肖先赐. 基于多相滤波结构的分数比采样率转换. 电子与信息学报, 2002, 24(2): 204-209
- [ 8 ] Harris F. Performance and design of Farrow filter used for arbitrary resampling. In: Proceedings the of 13th International Conference on Digital Signal Processing, Santorini, Greece, 1997, 2: 595-599
- [ 9 ] 陈彩莲, 于宏毅, 沈彩耀等. 采样率转换中 Farrow 滤波器实现结构研究. 信息工程大学学报, 2009, 10(3): 329-332
- [ 10 ] Yao C Y, Chien C J. Design of a square-root-raised-cosine FIR filter by a recursive method. In: Proceeding of the IEEE International Symposium on Circuits and Systems Circuits and Systems, Kobe, Japan, 2005. 512-515
- [ 11 ] Hsiao C C. Polyphase filter matrix for rational sampling rate conversion. In: Proceedings of the IEEE International Conference Acoustics, Speech, Signal Processing, Dallas, USA, 1987. 2173-2176
- [ 12 ] 钟文斌, 周志刚, 王丽云. E-band 通信系统中高速并行 FIR 成形滤波器设计. 电讯技术, 2013, 53(9): 1229-1234

## FPGA design of a transmit-filter module for E-band microwave transmission systems

Lu Jiaxin, Zhou Zhigang, Wang Liyun, Zeng Jianming, Chen Shengji  
(Broadband Wireless Technology Lab, SIMIT, Shanghai 200050)

### Abstract

To solve the problems of high hardware complexity and sampling rate mismatch in the implementation of a transmit-filter module for E-band microwave transmission systems, a “zero multiplication” solution based on look-up table was proposed, and a hardware structure suitable for a transmit-filter’s implementation using the mode of field-programmable gate array (FPGA) was designed. The theoretical hardware complexity analysis of the hardware structure, with its MATLAB simulation and FPGA assessments, were performed, and the results showed that the proposed structure completed the signal shaping filtering and resampling simultaneously with the low hardware complexity and high real-time performance. Compared with conventional convolutional based solutions, the proposed solution used only 16.7% of addition operation, with no mutiplexing operation being included.

**Key words:** E-band, microwave, transmit-filter, shaping filter, resampling, sampling rate conversion, look-up table