

低功耗高集成度 CMOS 神经信号放大器^①杜智超^② 张旭^③ 刘鸣 陈弘达

(中国科学院半导体研究所集成光电子学国家重点联合实验室 北京 100083)

摘 要 针对传统电容耦合-电容反馈型神经信号放大电路芯片面积过大、输入电阻低的缺陷,设计并实现了一款 16 通道带通胞外神经信号放大器。它通过采用新型的交流耦合 T 型电容网络反馈式拓扑结构,在保证低噪声和高输入阻抗的前提下减少了芯片的面积。芯片每个通道的中频增益为 40.6 dB,直流增益为 0 dB。其 -3 dB 高频截止频率为 5 kHz,而其低频截止频率可以通过调节晶体管的栅电压而进行优化。在供电电压为 ± 1.65 V 的情况下,芯片在记录多通道局部场电位(LFPs)时,从 1 Hz 到 10 kHz 频率积分得到的输入参考噪声为 4.99 μ V_{rms},其每通道功耗为 19.8 μ W。芯片总面积为 2062.5 μ m $\times$ 525.7 μ m,平均每通道 0.02 mm²,由 0.35- μ m CMOS N-well 2P4M 工艺实现。相比于传统结构的 CMOS 神经信号放大器,该设计在集成度及功耗上占优势。

关键字 神经信号放大器,T 型电容反馈网络,高集成度,输入阻抗,低功耗

0 引言

记录神经细胞电信号对研究神经细胞工作机理和治疗神经相关疾病有重要意义,该技术近年日益受到关注^[1,2]。随着 MEMS 技术的发展而高速发展的神经微电极阵列推动了多通道神经细胞记录技术的发展^[3,4]。但神经信号测量技术存在一个问题,即测量电极与细胞组织接触时产生的高电阻,使得环境中的噪声信号很容易与微弱的神经电信号耦合,增加了测量难度。为了减少噪声干扰,设计上要求前置放大器的位置与微电极十分靠近^[5-7],而为了同时记录多导联的神经信号,信号采集电路需要与植入式微电极阵列集成到一起^[7-11],这就要求集成的前置放大器的面积更小、功耗更低、性能更好。另外,神经信号非常微弱(几十到几百微伏),频率范围宽且低频成分多,前置放大电路的设计除要求低噪声、低功耗外,还要求供电电压低、低频截止频率低等^[6-16]。1971 年,Wise 等人^[5]设计了第一款集成的放大器,它的结构和设计对这个领域的发展做出了重要贡献^[3,7,8,11,12]。而之后,Harrison^[6]提出了电

容耦合-电容反馈式神经放大电路,在实际应用中取得了很好的效果^[12,15-20]。这种结构具有高输入反馈电容比,因而提高了增益并降低了噪声。在电容耦合-电容反馈的基础上,通过对电路细节的改进,加入伪电阻^[21,22]等,又发展出了新的电路结构。但高电容比会增加电容的面积,并降低相对输入电阻,针对这一问题,本研究设计了一种新型的交流耦合-T 型电容网络反馈式神经放大器。它在相对较低的输入反馈电容比下,依然能够达到高增益,因而有利于减少芯片面积,提高输入电阻,优化放大增益。本文从理论模型上分析和介绍了该放大器的电路结构和具体实现方式,并分析了电路的增益、频率以及噪声特性,给出了流片后芯片的测量结果。

1 电路结构

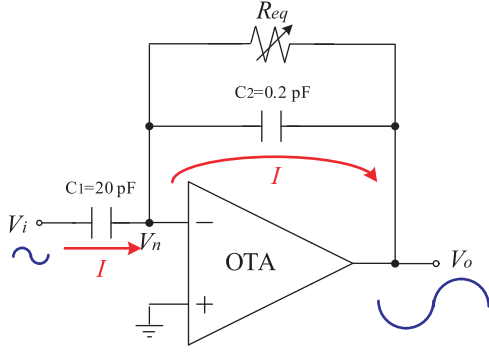
图 1 给出了放大器的结构。传统的电路反馈结构示意图如图 1(a)所示,其反馈增益由电容比决定,需要大的输入电容。针对此种情况,我们设计了如图 1(b)的反馈结构。其中,由植入式电极采集到的神经电信号经过电容 C_1 (2 pF)进行交流耦合以去

① 973 计划(2011CB933203),863 计划(2012AA030308)和国家自然科学基金(61076023,61178051)资助项目。

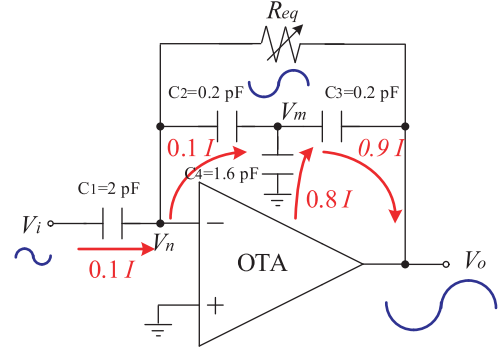
② 女,1988 年生,硕士;研究方向:神经信号采集电路设计等;E-mail:duzhichao@semi.ac.cn

③ 通讯作者,E-mail:zhangxu@semi.ac.cn

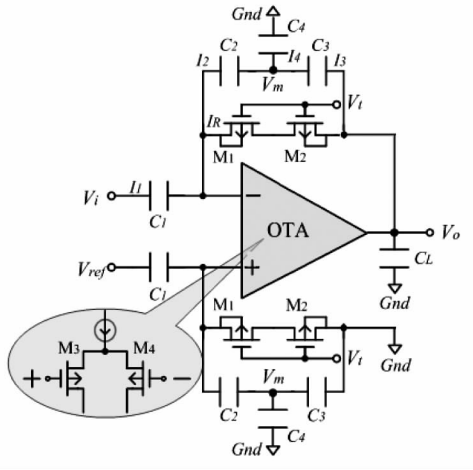
(收稿日期:2013-04-02)



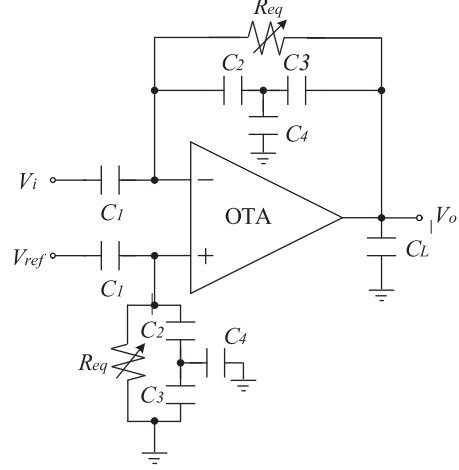
(a) 传统式交流耦合电容反馈放大器结构



(b) “交流耦合-T型电容网络反馈式”放大器结构



(c) “交流耦合-T型电容网络反馈式”设计电路图



(d) “交流耦合-T型电容网络反馈式”放大器分析模型

图1 放大器结构

除电极和细胞组织的接触电阻产生的直流电压偏置。

在输入端提取的神经电压首先转化为电流 I_1 ，通过高增益和高输入电阻的跨导运算放大器 (OTA) 使电流 I_1 分为 I_2 和 I_R 流入反馈电路。因为金属氧化物半导体场效应晶体管 (MOSFET) M_1 和 M_2 的电阻极大, 可达到 $10^{12} \Omega$, 所以 I_R 电流相比于 I_2 很小, 可以忽略, 即 I_2 约等于 I_1 。电流 I_2 流过电容 C_2 (0.2 pF) 在中间点形成电压 V_m , 而同时电流 I_4 流过 C_4 (1.6 pF), 产生 8 倍于 I_2 的电流, 并引起大电流 I_3 通过 C_3 (0.2 pF), 因此形成高输出电压 V_o 。具体电路实现方式如图 1(c) 所示。它采用全差分结构, 形成一个带通滤波的交流耦合-T型电容网络反馈式神经放大电路。为了分析电路的性能, 将互补型金属氧化物半导体 (CMOS) 晶体管进一步简化为伪电阻分析模型, 如图 1(d) 所示。其中, 参考节点 V_{ref} 接地, 并假设 OTA 的开环增益无穷大, 可得到交流小信号的传输函数式

$$H(s) = - \left[\frac{1}{SR_{eq} C_1} + \frac{C_2 C_3}{C_1 (C_2 + C_3 + C_4)} \right]^{-1} \quad (1)$$

忽略 R_{eq} 的影响, 则此放大器的中频增益为

$$A_p = \frac{C_1 (C_2 + C_3 + C_4)}{C_2 C_3} \quad (2)$$

电路的高通截止频率 f_{HP} (低频的 -3dB 拐点) 如公式

$$f_{HP} = \frac{1}{2\pi R_{eq} C_{eq}} \quad (3)$$

所示, 其中反馈电容 C_{eq} 如下式所示:

$$C_{eq} = \frac{C_2 C_3}{C_2 + C_3 + C_4} \quad (4)$$

为估计电路的高频拐点, 我们认为 OTA 为理想单极点模型, 在此情况下, 放大器的高频拐点 (-3dB 高通极点) f_{LP} 近似等于放大器的带宽, 正比于 OTA 开环增益与放大器闭环增益的比以及 OTA 的本征截止频率, 其公式如下:

$$f_{LP} = \frac{A_0}{A_p} f_{OL} = \frac{g_{mo} C_2}{2\pi C_1 C_o} \quad (5)$$

由上式可得, 对于给定的闭环增益, 放大器的高频截止频率决定于 OTA 的跨导 g_{mo} 以及输出阻抗 C_o , 其中 C_o 来源于负载电容 C_L 和其它寄生电容 C_p 。

2 噪声分析

低噪声是神经信号放大器芯片设计好坏的一个关键指标。本文设计的“交流耦合-T型电容网络反馈式”放大器的噪声来源与传统的神经放大器基本相同,主要包括反馈通路上伪电阻单元的热噪声、OTA 输入级的热噪声以及 $1/f$ 噪声。为此,我们估计放大器的单端噪声等效模型如图 2 所示。

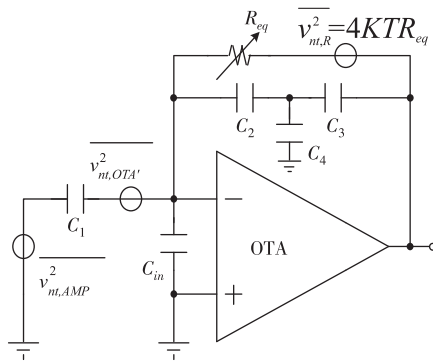


图 2 放大器的单端噪声等效模型

2.1 MOSFET 伪电阻单元噪声

MOSFET 伪电阻单元由两个亚阈值区偏置的 P 沟道金属氧化物半导体 (PMOS) 管串联组成,它既为 OTA 的输入节点提供了直流通路,又与反馈电容一同决定了神经信号放大器的低频截止频率。由于通过伪电阻的单元电流很小,它的 $1/f$ 噪声可以忽略,因此我们将其等效为一个纯阻无源器件 R_{eq} 。通过传输函数(式(1))分析噪声等效模型的传输特性,得到噪声等效模型的传输函数为

$$H(f) = \frac{j2\pi f R_{eq} C_1}{1 + j2\pi f R_{eq} C_{eq}} \quad (6)$$

热噪声源 R_{eq} 同反馈通路的电容网络并联,而电容网络可等效为 C_2 与 C_4 并联后再与 C_3 串联,因此从输出节点上看由等效反馈电阻 R_{eq} 贡献的输出噪声功率谱密度函数可表示为

$$\begin{aligned} \overline{v_{no,R}^2} &= \frac{1}{1 + (2\pi f R_{eq} C')^2} \cdot \overline{v_{nt,R}^2} \\ &= \frac{4KTR_{eq}}{1 + (2\pi f R_{eq} C')^2} \end{aligned} \quad (7)$$

$$C' = \frac{C_3(C_2 + C_4)}{C_2 + C_3 + C_4} \quad (8)$$

将输出噪声功率谱密度函数(式(7))与等效模型的传输函数(式(1))相除,可得到 R_{eq} 热噪声所贡

献的输入参考噪声谱密度为

$$\begin{aligned} \overline{v_{ni,R}^2} &= |H(f)|^{-2} \cdot \overline{v_{no,R}^2} \\ &= \frac{KT}{\pi^2 f^2 R_{eq} C_1^2} \cdot \frac{1 + (2\pi f R_{eq} C_{eq})^2}{1 + (2\pi f R_{eq} C')^2} \end{aligned} \quad (9)$$

将输入参考噪声谱密度从通带的低频截止频率 f_{HP} 式(3)到高频截止频率 f_{LP} 式(5)进行积分,并假设 $f_{HP} \ll f_{LP}$,可得到 R_{eq} 的等效输入噪声功率如公式

$$\begin{aligned} E[\overline{v_{ni,R}^2}] &= \int_B \overline{v_{ni,R}^2} df = \frac{KT}{\pi^2 R_{eq} C_1^2} \cdot \frac{C_{eq}^2}{C'^2} \cdot \frac{1}{f} \\ &+ \frac{KT}{\pi^2 R_{eq} C_1^2} \cdot \frac{1}{12\pi R_{eq}^2 C'^2} \cdot \frac{1}{f^3} \Big|_{f_{HP}} \\ &= \frac{8KT}{3\pi C_1^2} \cdot \frac{C_{eq}^3}{C'^2} \end{aligned} \quad (10)$$

所示。

式(10)表明, R_{eq} 在通带内产生的等效输入热噪声功率与 R_{eq} 的阻值无关,增加 R_{eq} 可以降低输入参考噪声谱密度,但同时也降低了通带的低频截止频率 f_{HP} ,因此积分范围也相应扩大,等效热噪声功率仍然趋向一个恒定值。如引入闭环增益 A_p ,则等效模型的输入噪声功率可表示为 $8KTC_{eq}/(3\pi A_p^2 C'^2)$,为减小 R_{eq} 的热噪声,仍然需要最大化 A_p 。另外, C_{eq} 和 C' 都与输入电容 C_1 无关,因此一旦固定了闭环增益后,“交流耦合-T型电容网络反馈式”放大器的反馈环上的热噪声与输入电容无关。

设 $C_1 = nC_2$, $C_2 = C_3$, $C_4 = mC_2$, $n(2+m) = A_p$, 输入噪声功率可表示为

$$E[\overline{v_{ni,R}^2}] = \frac{2KT}{\pi A_p^2} \cdot \frac{4(m+2)}{3(m+1)^2 C_2} \quad (11)$$

若 C_2 的取值相同,则只要 $m > 1$,“交流耦合-T型电容网络反馈式”放大器反馈通路上的热噪声功率就将低于传统的“交流耦合-电容反馈式”放大器。而且 m 的值越大,即反馈通路中间节点到地电容值越大,由伪电阻 R_{eq} 贡献的热噪声功率就越低。如果将放大器的闭环增益固定设计为 40 dB, C_2 的取值固定为 0.2 pF, n 取值为 10, m 取值为 8,则 T 型电容网络反馈式放大器的反馈环上伪电阻 R_{eq} 的热噪声功率仅为传统型的 1/6,即 $0.22 (\mu V_{rms})^2$ 。当然,如果 m 值进步一步扩大,噪声会减低,但此时芯片面积会增加,与减小芯片面积的设计预期不符。

2.2 OTA 的噪声分析

采用图 2 中的单端等效模型,综合考虑输入耦合电容 C_1 、反馈电容网络 C_2 、 C_3 、 C_4 ,以及 OTA 的等

效输入电容 C_{in} 的影响,可以将 OTA 对前置放大器输入参考噪声的贡献表示为

$$E[v_{ni,PRE}^2] = \left[\frac{C_1 + C_2 + C_{in}}{C_1} - \frac{C_2^2}{C_1(C_2 + C_3 + C_4)} \right]^2 \int_B \overline{v_{ni,OTA}^2} df \quad (12)$$

这里 C_{in} 表示 OTA 输入节点上的寄生电容。考虑到电路的实际设计中 $C_2^2/C_1(C_2 + C_3 + C_4)$ 为神经信号放大器闭环增益的倒数,因此,上式可表示为与一般放大器噪声估计基本相同的模式,如下式所示:

$$E[v_{ni,PRE}^2] = \left(\frac{C_1 + C_2 + C_{in}}{C_1} \right)^2 \int_B \overline{v_{ni,OTA}^2} df \quad (13)$$

首先将式(10)与式(13)联立,并考虑图 1 中 OTA 的两个输入端,得到放大器的总输入参考噪声功率,公式如下:

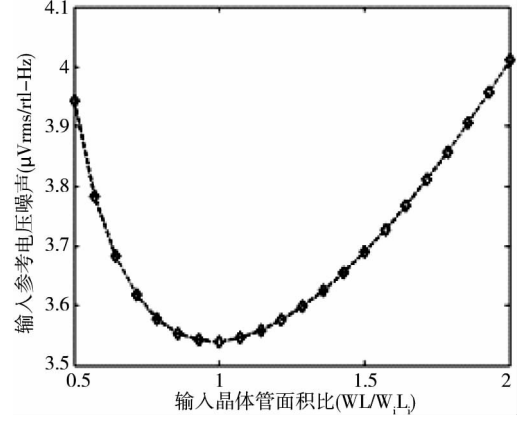
$$E[v_{ni,PRE}^2] = 2 \left(\frac{C_1 + C_2 + C_{in}}{C_1} \right)^2 \int_B (\overline{v_{ni,OTA_{ih}}^2} + \overline{v_{ni,OTA_{1/f}}^2}) df + \frac{16KT}{3\pi C_1^2} \cdot \frac{C_{eq}^3}{C_{f^2}} \quad (14)$$

将式(14)中的 $\overline{v_{ni,OTA_{1/f}}^2}$ 和 $\overline{v_{ni,OTA_{ih}}^2}$ 表示为更具体的电路参数,则可以得到整体输入参考噪声功率公式如下:

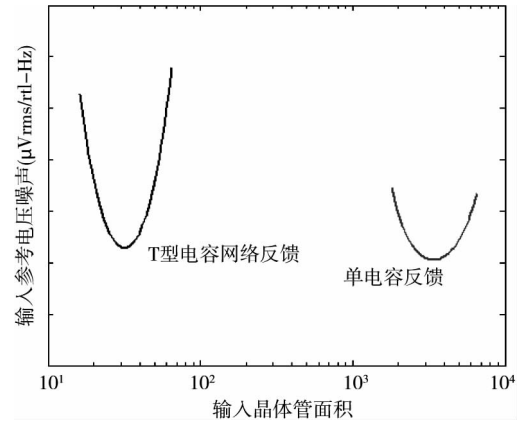
$$E[v_{ni,PRE}^2] = 2 \left(\frac{C_1 + C_2 + C_{in}}{C_1} \right)^2 \left[\frac{4KT\gamma_{f_{LP}}}{g_{m3,4}} + \frac{\lambda K_{b_{sub}} I_{ds}^2}{C_{in} g_{m3,4}^2} \ln \frac{f_{LP}}{f_{HP}} \right] + \frac{16KT}{3\pi C_1^2} \cdot \frac{C_{eq}^3}{C_{f^2}} \quad (15)$$

在式(15)中, C_{in} 同时出现增函数和减函数,通过优化 C_{in} ,可以最小化放大器的输入参考噪声。通过仿真可得到输入晶体管的最优尺寸 $C_{in,optimized}$,从而获得最低的整体输入参考噪声,如图 3(a) 所示。图 3(b) 为 T 型网络与传统电容反馈放大器的比较示意图,可以看出取得噪声最低值所需的输入管面积已大大降低。

一般来说,如果忽略反馈环伪电阻的热噪声,经过同样的优化设计过程后,“交流耦合-T 型电容网络反馈式”放大器的最低噪声要略高于传统的“交流耦合-单电容反馈式”放大器,即如图 3(b) 所示。这是因为输入管面积的减小会使 $1/f$ 噪声比传统型略高。但如果将反馈环伪电阻也计入优化设计当中,则“交流耦合-T 型电容网络反馈式”放大器 $1/f$ 噪声性能将有所改善,当放大器的低频(高通)截止频率设置到百赫兹量级时,本文所提出的“T 型电容网络反馈式”拓扑结构的噪声性能将有可能优于传统型。



(a) “交流耦合-T 型电容网络反馈式”放大器的设计优化



(b) 两种放大器的设计优化比较

图 3 针对输入管尺寸的噪声优化

3 测试结果

我们设计了并行 16 个通道的神经信号放大电路,并用 $0.35\mu\text{m}$ 的 2P4M CMOS 标准工艺实现。芯片的面积为 $2062.5\mu\text{m} \times 525.7\mu\text{m}$ (包括压焊盘和划片槽),平均每一个通道 0.02mm^2 。原型芯片的显微图像如图 4 所示。

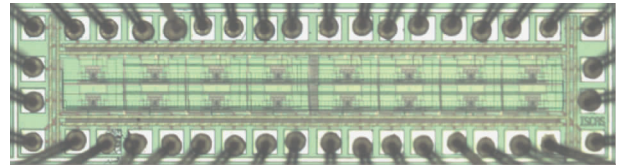


图 4 并行 16 通道胞外神经信号放大器芯片照片

3.1 频率响应和增益

芯片电源供电电压为 1.65V ,其中,反馈环路电容网络取值为 $C_1 = 2.3\text{pF}$, $C_2 = 0.2\text{pF}$, $C_3 = 0.2\text{pF}$, $C_4 = 1.6\text{pF}$,中带设计增益为 41.2dB ,由于工艺偏差,实测结果中带增益为 40.6dB 。前置放大器的低频拐点(高通极点)由压控伪电阻单元控制,其

阻值将随栅压 V_t 指数变化。图 5 为当低频拐点(高通截止频率)调整为 1 Hz 时单路前置放大器的频率响应特性,以下对噪声的推导也将基于图 5 所示的频率特性。

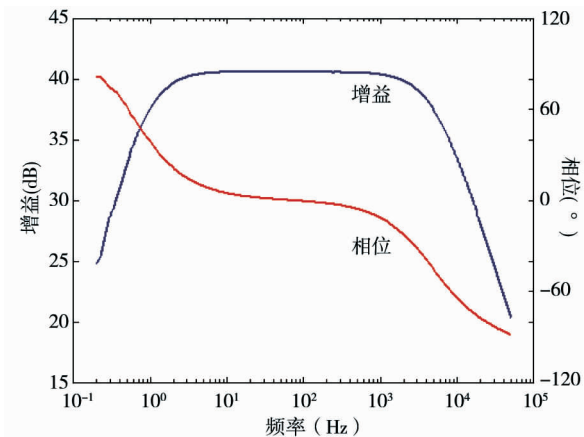


图 5 前置放大器的频率特性

此带通响应中的高频截止频率由放大器在一定尺寸下的基准电流决定。在总功耗为 $6 \mu\text{A}$ (单支路漏源电流 $3 \mu\text{A}$)时,测试带宽为 5 kHz。因为芯片的基准电流功耗往往可以被多个放大器所共享,所以在计算芯片功耗时往往不包括外设的基准电流的功耗,这里我们也采用此种方式,在只考虑放大器的功耗时,其计算值为 $19.8 \mu\text{W}$ 。

3.2 噪声性能

图 6 为前置放大器的输入参考噪声谱密度,由测得的放大器输出噪声谱密度除以图 5 的幅频特性曲线得到。在计算噪声时,我们扩大了积分范围,将部分带外噪声的影响计入输入参考噪声电压的计算当中,得到的结果如表 1 所示。若用 1 – 10 kHz 积分范围的所得到的输入参考噪声计算,则噪声效率因子 NEF 为 6.65,其噪声性能满足设计要求。

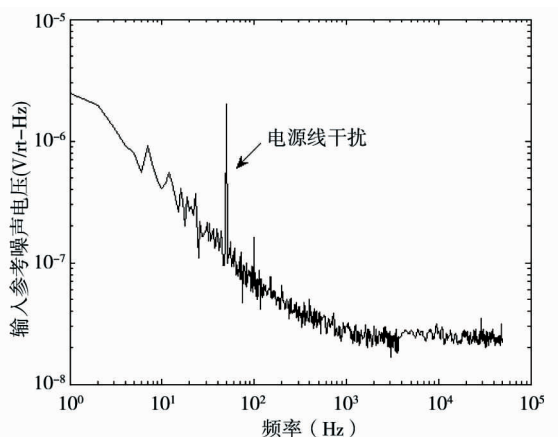


图 6 前置放大器的输入参考噪声密度谱

表 1 T 型电容网络反馈式输入参考噪声

积分范围 (Hz)	输入参考噪声 (μV_{rms})	积分范围 (Hz)	输入参考噪声 (μV_{rms})
1 – 5k	4.63	10 – 5k	2.60
1 – 10k	4.99	10 – 10k	3.19
1 – 50k	6.98	10 – 50k	5.84

注:10 kHz 为神经记录的最大有用信号截止频率,50 kHz 为测量的极限频率。

除了噪声,我们还测量了电路的其他信息。在放大器电路的整个带宽内,其电源抑制比和共模抑制比分别不超过 42dB 和 52dB,在 1kHz 处测得的 1% 总谐波失真率 (THD) 为 10.17mV,对应 57.5dB 的动态范围。

3.3 模拟环境测试

为进行具体实验,我们将 16 通道的放大器与 MEMS 神经微电极集成在同一衬底上,器件如图 7 所示。

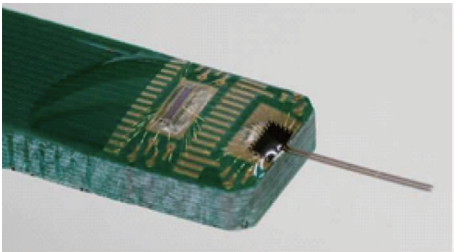


图 7 并行 16 通道神经记录器件

体外模拟测试实验以生理盐水模仿体内信号传输环境,采用事先从 Wistar 大鼠躯体感觉皮层中录制的神经脉冲信号做为信号输入(CH1)。在通过盐水环境传导后,将电极放入盐水的另外一端,采集并放大信号。放大后的信号由采样率为 2 MSps 的示波器显示,其结果如图 8 所示,其中第三个波形为拉

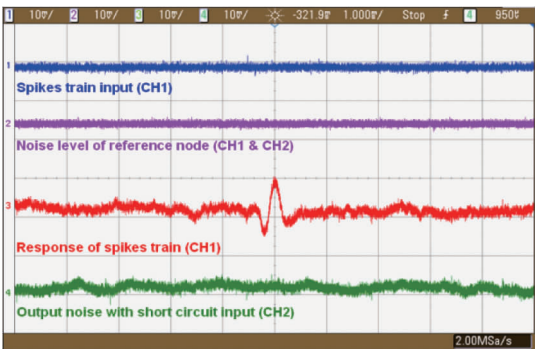


图 8 放大器对欲录 Wistar 大鼠神经信号单神经脉冲响应

长时间轴后其单个神经脉冲波形。

为了对我们设计的 16 通道放大器有一个整体性能的评价,我们在电源电压、功耗参数等几个方面,将此文中的放大器与已报道的放大器^[17-20]进行比较,简要的列表见表 2。从中我们可以看出,我们设计的放大器在噪声、功耗、输入电阻和芯片面积上具有一定的优势。

表 2 本设计芯片与其他芯片参数对比

参数	本设计 芯片	文献 [16]	文献 [17]	文献 [18]	文献 [19]	文献 [20]
供电电压(V)	± 1.65	± 1.65	5	3	3.0	3.0
功耗(μ W)	19.8	51.5	—	75	54.9	—
增益(dB)	40.6	34	60	59.5	33	38.1
噪声(μ Vrms)	4.99	5.5	5	8	6.08	6.72
通带(kHz)	5	10.9	5	9.1	5	5
输入电容(pF)	2.3	—	20	—	4.5	1.6
芯片面积(mm ²)	0.02	0.12	0.16	0.072	0.02	0.056
工艺(μ m)	0.35	0.35	0.6	0.5	0.35	0.35

4 结 论

针对以往神经信号放大器芯片需要大输入电容,因而芯片面积过大的缺点,本文设计了一款 16 通道“交流耦合-T 型电容网络反馈”式神经放大器芯片,并由 0.35- μ m CMOS 标准工艺实现。此款放大器的增益在 5kHz 带宽的中频保持为 40.6dB,且低频截止频率可以通过控制 MOSFET 的栅电压继而控制其伪电阻而调整。此芯片的输入参考噪声在 1Hz-10kHz 频率范围测量值为 4.99 μ Vrms。为验证芯片,我们用录制的大鼠神经信号作为体外环境实验的输入,并用生理盐水模拟体内环境,证明了此款放大器能够实现采集放大神经信号的功能。此款放大器的最主要特点是减少了芯片面积进而提高集成度,所以可以实现多通道与微电极阵列的集成,提高同时记录多导联神经信号的能力。

参考文献

- [1] Hochberg L R, Serruya M D, Friehs G M, et al. Neuronal ensemble control of prosthetic devices by a human with tetraplegia. *Nature*, 2006, 442(7099): 164-171
- [2] Nicolelis M. Brain-machine interface: past, present and future. *Trends in Neurosciences*, 2006, 29: 536-545

- [3] Bai Q, Wise K, Anderson R. A high-yield micro-assembly structure for three-dimensional electrode arrays. *IEEE Transactions on Biomedical Engineering*, 2000, 47: 281-289
- [4] Nordhausen C, Maynard E, Normann R. Single unit recording capabilities of a 100-microelectrode array. *Brain Review*, 1996, 726: 129-140
- [5] Jochum T, Denison T, Wolf P. Integrated circuit amplifiers for multi-electrode intracortical recording. *Journal of Neural Engineering*, 2009, 6: 1-26
- [6] Harrison R, Charles C. A low-power low-noise CMOS amplifier for neural recording applications. *IEEE Journal of Solid-State Circuits*, 2003, 38: 958-965
- [7] Najafi K, Wise K. An implantable multielectrode array with on-chip signal processing. *IEEE Journal of Solid-State Circuits*, 1986, 21: 1035-1044
- [8] Olsson R, Wise K. A three-dimensional neural recording microsystem with implantable data compression circuitry. *IEEE Journal of Solid-State Circuits*, 2005, 40: 2796-2804
- [9] Aziz J, Genov R, Derchansky M, et al. 256-channel neural recording microsystem with on-chip 3D electrodes. In: Digest of Technical Papers of IEEE International Solid-State Circuits Conference, San Francisco, USA, 2007. 160-161
- [10] Harrison R, Greger B, Solzbacher F. A low-power integrated circuit for a wireless 100-electrode neural recording system. *IEEE Journal of Solid-State Circuits*, 2007, 42: 123-133
- [11] Sodagar A, Wise K, Najafi K. A fully integrated mixed-signal neural processor for implantable multichannel cortical recording. *IEEE Transactions on Biomedical Engineering*, 2007, 54: 1075-1088
- [12] Mohseni P, Najafi K. A battery-powered 8-channel wireless FM IC for biopotential recording applications. In: Digest of Technical Papers of IEEE International Solid-State Circuits Conference, San Francisco, USA, 2005. 560-561
- [13] Wattanapanitch W, Fee M, Sarpeshkar R. An energy-efficient micropower neural recording amplifier. *IEEE Transactions on Biomedical Circuits and Systems*, 2007, 1: 136-147
- [14] Farshchi S, Judy J. Low-noise amplifier circuit for embedded electrophysiological recording with adjustable gain and high-pass filtering. In: Proceedings of 16th Biennial University/Government/Industry Microelectronics Symposium, San Jose, USA, 2006. 105-108
- [15] Chen D, Harris J G, Principe J C. A bio-amplifier with pulse output. In: Proceedings of 26th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, San Francisco, USA, 2004. 2: 4071-4074

- [16] Chae M, Liu W, Sivaprakasam M. Design optimization for integrated neural recording systems. *IEEE Journal of Solid-State Circuits*, 2008, 43(9):1931-1939
- [17] Harrison R R, Kier R J, Chestek C A, et al. Wireless neural recording with single low-power integrated circuit. *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, 2009, 17(4):322-329
- [18] Sodagar A M, Perlin G E, Yao Y, et al. An implantable 64-channel wireless microsystem for single-unit neural recording. *IEEE Journal of Solid-State Circuits*, 2009, 44(9):2591-2604
- [19] Shahrokhi F, Abdelhalim K, Serletis D, et al. The 128-channel fully differential digital integrated neural recording and stimulation interface. *IEEE Transactions on Biomedical Circuits and Systems*, 2010, 4(3):149-161
- [20] Ng K A, Xu Y P. A compact, low input capacitance neural recording amplifier with C_{in}/Gain of 20fF. V/V. In: Proceedings of IEEE Biomedical Circuits and Systems Conference, Hsinchu, China, 2012. 328-331
- [21] Zhang X, Pei W H, Huang B J, et al. A low-noise fully-differential CMOS preamplifier for neural recording applications. *Science China Information Sciences*, 2012, 55(2):441-452
- [22] Zhang X, Pei W H, Huang B J, et al. Low power CMOS preamplifier for neural recording applications. *Journal of Semiconductors*, 2010, 31(4):045002

A low-power area-efficient CMOS amplifier for neural recording applications

Du Zhichao, Zhang Xu, Liu Ming, Chen Hongda

(Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083)

Abstract

Aiming at traditional integrated neur-signal amplifiers with capacitive-couple and capacitive-feedback topology may result in overlarge chip area and relative low input impedance, a bandpass 16-channel CMOS amplifier for extracellular neural recording was designed and implemented. The amplifier adopts a novel AC-coupled and T-type capacitive-feedback network topology to reduce its chip area while guaranteeing its low noise and high input impedance. Each channel of the amplifier has a mid-band gain of 40.6 dB and a DC gain of 0dB. The -3 dB upper cut-off frequency of the amplifier is 5 kHz. The lower cut-off frequency can be adjusted for amplifying the field or action potentials located in different bands. Under the supply of $\pm 1.65\text{V}$, it has an input-referred noise of $4.99\text{ }\mu\text{Vrms}$ integrated from 1 Hz to 10 kHz for recording the local field potentials (LFPs) and the mixed neural spikes with a power dissipation of $19.8\text{ }\mu\text{W}$ per channel. The $2062.5\text{ }\mu\text{m} \times 525.7\text{ }\mu\text{m}$ prototype chip (about 0.02 mm^2 per channel) was designed and fabricated in the $0.35\text{-}\mu\text{m}$ N-well CMOS 2P4M process, which increases the area-efficient and decreases the power.

Key words: neural signal amplifier, T-type capacitive-feedback, area-efficient, input impedance, low-power