

无线传感器网络的 2.4GHz 低功耗低中频射频接收前端的设计^①

张 萌^{②*} 李智群^{③*} 沈董军^{*}

(* 东南大学射频与光电集成电路研究所 南京 210096)

(** 射频集成电路与系统教育部工程研究中心 南京 210096)

(*** 江苏省传感网技术重点实验室 无锡 214135)

摘 要 在 0.18 μm CMOS 工艺下设计了一种用于无线传感器网络的具有低功耗、低中频特性的 2.4GHz 射频前端。该射频前端由一个共栅结构的可变增益低噪声放大器(VG-LNA)和一个低功耗折叠正交吉尔伯特结构混频器构成,内部同时集成了一个给混频器提供 IQ 差分本振信号的二分频器以及一组缓冲器。其低噪声放大器具有高、低两个增益模式。为了弥补共栅低噪声放大器在增益和噪声等性能方面的不足,选取有一定增益的折叠吉尔伯特有源混频器结构。对共栅结构的低噪声放大器的设计过程、相关负载电感建模过程及混频器设计过程进行了详细分析,对整个射频前端芯片进行了测试,测试结果显示,射频前端核心电路在 1.8V 电源电压下工作电流为 3.2mA,功耗为 5.76mW;在高增益模式下,具有 26dB 的转化电压增益及 8dB 的噪声系数;在低增益模式下,输入 1dB 压缩点为 -20dBm。

关键词 射频前端,可变增益,低功耗,低噪声放大器(LNA),折叠正交混频器,无线传感器网络(WSN)

0 引 言

近年来,为了满足“物联网”的发展要求,对无线传感器网络(WSN)的研究变得越来越深入^[1,2]。无线传感器网络是一种自组织的网络系统,它在所需监测的区域部署大量的低成本微型传感器节点,这些节点专为收集、处理和传输数据而设计,可以服务于如家庭自动化、工业控制、公共安全、环境监测等相关应用。一个无线传感器网络节点是典型的通过电池供电的器件,为了延长电池寿命,无线传感器网络节点接收机必须在满足一定灵敏度的条件下尽量控制功耗。一般情况下,射频前端设备都比模拟和数字基带设备消耗更多的功耗^[3]。本研究的重点是设计一款用于 2.4GHz 无线传感器网络的低功耗低中频射频接收前端芯片。射频端的输入匹配、低功耗和转换电压增益是该射频前端系统的关键指标,为了达到指标要求,本设计的低噪声放大器采用共栅结构,混频器采用有源折叠吉尔伯特结构。本

文介绍了该射频前端的相关电路设计,包括低噪声放大器及其电感建模、混频器设计等,给出了其电感模型和测试结果。

1 接收机架构

一般情况下,无线接收系统多采用以下两种结构:低中频结构和零中频结构。零中频结构其最大优势在于高集成度,而且在前端设计中不存在镜像抑制的问题,但是该结构也存在一些缺点,比如较高的闪烁噪声、直流偏移、本振泄漏、偶阶失真和 IQ 不匹配等^[4]。为了避免零中频结构的弊端,无线传感器网络接收机采用低中频结构,如图 1 所示。该低中频结构拥有与零中频结构相仿的集成度。与零中频接收机结构相比,低中频接收机结构可以有效地减少闪烁噪声和直流偏移。同时,该接收机由于采用复混频技术及使用中频复数带通滤波器,仍然可以满足较高的镜像抑制要求。

① 863 计划(2007AA01Z2A7)和江苏省科技成果转化基金(BA2010073)资助项目。

② 男,1984 年生,博士生;研究方向:射频与微波集成电路设计;E-mail: simonkay@sina.com

③ 通讯作者,E-mail: zhiqunli@seu.edu.cn

(收稿日期:2012-05-21)

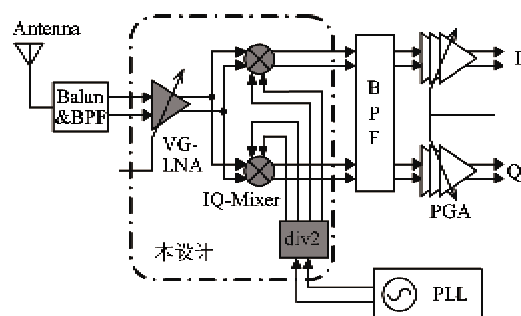


图1 无线传感器网络接收机系统框图

图1中,射频信号经由天线接收和平衡-不平衡变换(balun)后,由射频带通滤波器(BPF)滤除如镜像信号等带外信号后送给可变增益低噪声放大器(VG-LNA)。低噪声放大器用于提供一定的增益,同时抑制后级噪声对整体系统的影响。正交混频器(IQ-Mixer)将射频信号转化成2MHz的中频信号,并且提供一定的电压增益。有源复数BPF可以进一步滤除镜像信号并满足信道选择功能。最后,可编程增益放大器(PGA)提供大动态范围可编程的增益模式,确保接收机能满足的无线传感器网络系统要求的电压动态范围,从而输出给后级电路^[4]。

本文对满足该接收机设计要求的射频前端进行了电路分析和设计,并且通过流片测试验证了该射频前端的性能。该射频前端芯片核心电路包含两个部分:可变增益低噪声放大器和正交混频器。为了方便测试,芯片中还加入了一个产生同相正交差分本振信号的二分频器电路以及为了满足输出50Ω匹配要求的一组缓冲电路。

2 电路设计

2.1 可变增益低噪声放大器(VG-LNA)

当前低噪声放大器的设计往往采用共源结构、共源共栅结构和共栅结构三种设计方案。共源结构和共源共栅结构能够提供较高的增益并满足较小的噪声系数。但是,当考虑到静电放电(ESD)电路和芯片键合封装设计时,这两种结构由于寄生参数的不确定,在输入匹配时会出现较大的频率偏移而导致较大的偏差,增加设计的困难性。键合线电感的寄生感值约为3nH,同时,为了满足两千伏的人体静电放电(ESD)保护,ESD电路的二极管寄生电容大小必须达到约200fF^[4,5]。如果采用共源结构或共源共栅结构的放大器,这些寄生参数将会对输入阻抗产生很大的影响。与之相反,共栅结构在输入匹

配时却能轻易解决这些寄生参数的影响。基本的共栅放大器电路如图2所示,其输入阻抗可以近似表示为^[6]

$$Z_{in} \approx \frac{R_D}{(g_m + g_{mb})r_o} + \frac{1}{g_m + g_{mb}} \quad (1)$$

此处 g_m 是共栅级晶体管的跨导, R_D 是连接到该晶体管漏极的等效负载阻抗。天线阻抗通常为50Ω。通过调整 g_m 和 R_D ,可以使输入阻抗近似为50Ω,以满足输入端阻抗匹配的要求。

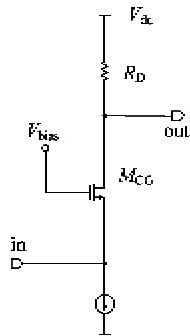


图2 基本共栅放大器原理图

通过式(1)不难发现只有连接到晶体管漏极的负载阻抗很小时,共栅级的输入阻抗才会相对较低^[5],所以对于50Ω的输入匹配要求,该阻值不能取得太大。但是,另一方面,共栅结构放大器的电压增益为^[6]

$$A_v = (1 + \eta)g_m R_D \quad (2)$$

所以 R_D 直接影响共栅结构放大器的电压增益。为了得到较高的电压增益, R_D 的阻值应该尽可能大,这对于输入阻抗匹配来说是矛盾的。所以本设计中的低噪声放大器采用了两级共栅电路级联的结构。第二级共栅电路漏端可以连接大阻值电阻以满足较高电压增益的要求,第二级共栅电路起到隔离作用,可以有效隔离电路的输入端和输出端,使得输入输出匹配可以各自相对独立的完成,也保证了该低噪声放大器的反向隔离度。通过调整各级的偏置电压,该低噪声放大器可以在提供一定增益的同时满足较好的输入匹配特性。

本次设计的低噪声放大器原理图如图3所示。二极管 $D_1 - D_4$ 是输入ESD保护电路。 M_1 和 M_2 构成第一级共栅电路, M_3 和 M_4 构成第二级共栅电路。 R_{b1} 和 R_{b2} 是大阻值扼流电阻,偏置电压 V_{b1} 和 V_{b2} 经滤波电容 C_{b1} 和 C_{b2} 滤波后通过这两个大阻值电阻给电路提供偏置。 L_{s1} 和 L_{s2} 是片外电感扼流圈,给电路提供直流通路的同时,阻隔交流信号。 L_d 是一个差分电感作为该LNA的负载。 $C_1 - C_4$ 是片内电容,参

与输出谐振并起到隔直作用。 M_5 是一个有源电阻,通过 V_g 信号的通断可以改变其阻值,该电阻与负载电路相并联,起到增益控制功能。偏置电路在本图中并没有给出。

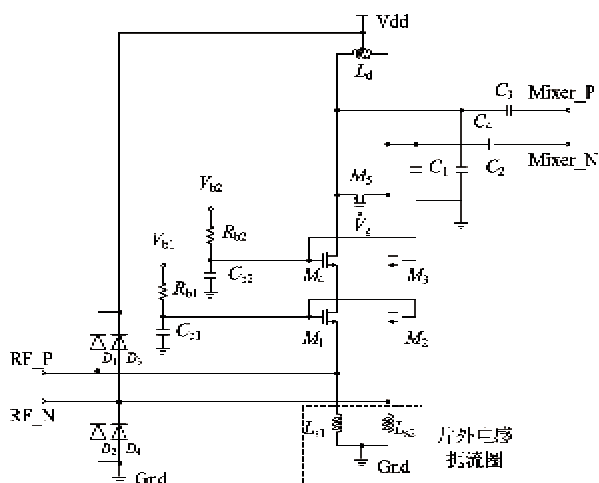


图3 低噪声放大器原理图

下面对降低该低噪声放大器的电路噪声系数进行分析。共栅结构的低噪声放大器噪声系数是^[7]

$$F \approx 1 + \frac{\gamma}{\alpha(1 + A_v)} \quad (3)$$

此处 γ 是沟道热噪声电流系数, α 是短沟道效应因数。不难看出,增加 α 的值可以有效降低低噪声放大器的噪声系数。通过增加 M_1 和 M_2 的沟道长度可以增加 α 值。宽沟道晶体管可以减少 MOS 管栅极电阻和其相关的热噪声^[6]。但是,另一方面,沟道长度决定了晶体管的最高工作频率,沟道约短,其最高工作频率越高。因此,在噪声性能和最高工作频率间必须做出折衷。而无线传感器网络系统对晶体管工作频率的要求并不是十分苛刻。经过仿真,本设计采用了 $0.3\mu\text{m}$ 长度的晶体管。

为了得到窄带输出响应,电感 L_d 和电容 $C_1 - C_4$ 在输出端构成 LC 并联网络。通过调整并联入该网络的电容值大小,输出端可以在 2.44GHz 附近呈现出窄带匹配特性。

通过仿真发现,该电感 L_d 的取值必须尽量满足大感值要求以满足增益需求。但是 TSMC 工艺能提供的最大感值的电感为约 15nH ,远远低于所需取值要求。另一方面 TSMC 工艺库中提供的电感都十分庞大,占用芯片面积。所以,本次设计中采用了一个全新设计的差分电感。该电感在 ADS 工具中进行了电磁场仿真和建模。图 4(a) 为该电感版图,

图 4(b) 给出了 TSMC 工艺提供的最大感值电感,比起 TSMC 工艺库提供的电感,本次设计的电感面积更小且感值更大。该电感在电磁场仿真中展现出的差分感值可以达到约 32nH 。

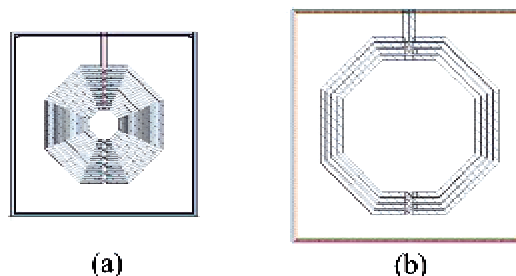


图4 新设计的电感版图与 TSMC $0.18\mu\text{m}$ RF CMOS 工艺提供的最大感值电感版图对比

新设计的电感内径为 $30\mu\text{m}$,用顶层金属绘制而成,金属宽度为 $3.5\mu\text{m}$ 。考虑到顶层金属可以满足每微米 2mA 的电流密度,该电感可以承受约 7mA 电流。这远远高于低噪声放大器的工作电流。该电感金属间间距也为 $3.5\mu\text{m}$,因为相邻匝间较近的间距可以提供较高的互感值。该电感制作于一块轻质 N 掺杂的衬底区域上,该掺杂能有效中和 P 衬底的 P 掺杂,以提高区域下方的电阻率,增加区域阻值,该做法可以有效阻止信号的电磁泄漏,提高电感性能。环绕该电感有一圈深 N 阱保护环,可以有效隔离周边电路对该电感的影响。此电感面积为 $350\mu\text{m} \times 350\mu\text{m}$ 。

作者通过 ADS 的 Momentum 电磁场仿真工具对该电感的 S 参数、Z 参数和 Y 参数进行了电磁场仿真。仿真频率区间为直流到 5GHz 。电感的等效差分感值 L_{eff} 和品质因数 Q_{eff} 可以通过以下公式计算得到^[8]:

$$\begin{cases} Z_d = Z_{11} + Z_{22} - Z_{21} - Z_{12} \\ L_{\text{eff}} = \frac{\text{Im}(Z_d)}{\omega} \\ Q_{\text{eff}} = \frac{\text{Im}(Z_d)}{\text{Re}(Z_d)} \end{cases} \quad (4)$$

图 5 中的实线给出了仿真得到的 S 参数、 L_{eff} 和 Q_{eff} 。该电感的自谐振频率约为 3.3GHz ,在 2.4GHz 时,该电感呈现出约 32nH 差分感值,并且在 3GHz 时达到最高值。品质因数 Q_{eff} 在 2.4GHz 时为 2.2 。

图 6 给出了经典的“双 π ”电感模型。利用该模型可以对此电感进行建模^[7]。通过 ADS 的 iteration tools 工具,可以对该模型中的各元件取值进行迭代,得到模型呈现的 S 参数、 L_{eff} 和 Q_{eff} 曲线。

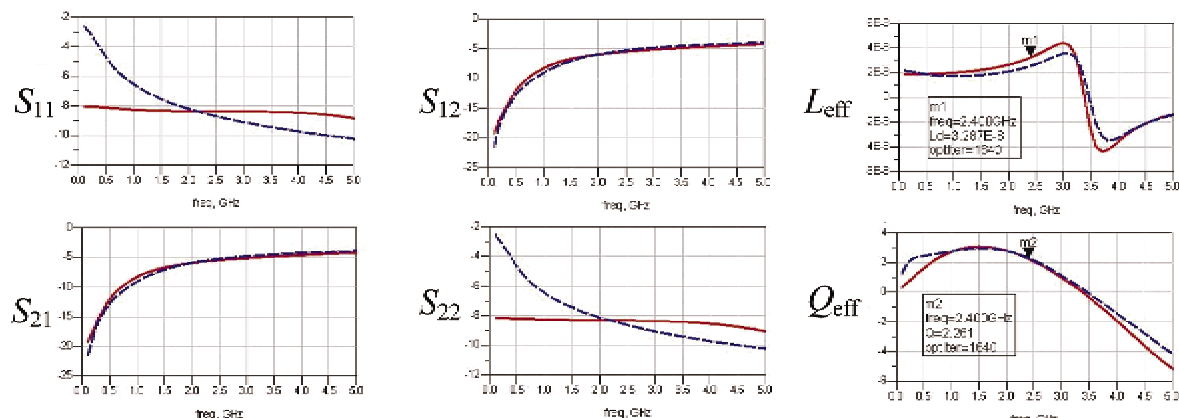


图 5 电感电磁场仿真和建模得到的 S 参数、 L_{eff} 和 Q_{eff} 参数曲线

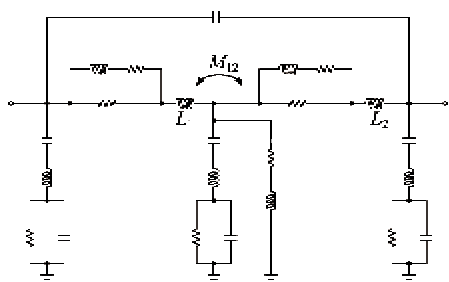


图 6 “双 π ”电感模型

图 5 中的虚线给出了最终迭代得到的曲线。与电磁场仿真得到的实线相比,在 2.44GHz 附近时,该迭代曲线于仿真曲线非常接近,所以该电感模型可以准确反映其在低噪声放大器电路中的工作特性。通过仿真,此 LC 谐振网络可以给低噪声放大器提供约 800 Ω 的等效负载阻抗。

由于无线传感器网络节点的距离是变化的,因此接收到的信号强度也是变化的。为了避免大信号输入时阻塞下级电路,该低噪声放大器必须具有增益控制功能。通过在输出端增加一个有源电阻,该低噪声放大器可以实现增益控制功能。式(2)给出共栅放大器的电压增益正比于负载阻抗,所以如果

降低负载阻抗的值就可以降低电路的电压增益。 M_5 是 V_g 控制的 PMOS 晶体管,当 V_g 是 1.8 V 时该晶体管具有很高的等效阻抗。当 V_g 是 0V 时,该晶体管的等效阻抗约为 800 Ω 。通过仿真,将该阻值并入负载网络可以使得低噪声放大器的电压增益降低到 0dB。

2.2 折叠正交混频器

下混频器级联于低噪声放大器之后,信号通过电容耦合。它将经低噪声放大器放大的射频 (RF) 信号转化为中频 (IF) 信号。

混频器一般分为无源混频器和有源混频器两种。前者可以满足良好的线性度,但是典型的无源混频器会带来约 6dB 到 7dB 的衰减,并且牺牲了噪声性能。后者以大家熟知的吉尔伯特结构为代表,拥有高转化增益、高端口到端口隔离度以及较低的噪声系数等特性,但该结构的线性度较无源结构低。本设计中,由于前级低噪声放大器选用共栅结构,增益偏低而噪声偏大,故采用有源混频器结构以弥补共栅结构低噪声放大器在增益性能和噪声性能方面的不足。

图 7 展示了该混频器电路结构原理图。

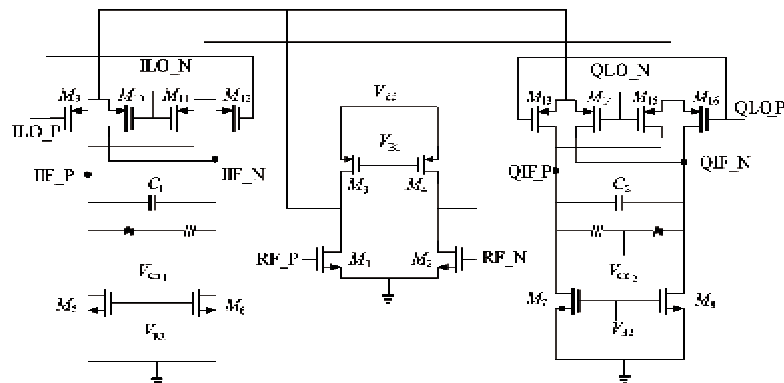


图 7 折叠吉尔伯特单元正交混频器原理图

传统的吉尔伯特结构混频器包括跨导单元、开关单元和负载单元。本设计中, M_1 和 M_2 构成电路的跨导单元, 注意到, M_1 和 M_2 被左边的 I 路混频器和右边的 Q 路混频器所共用, 这种设计考虑了两路混频器的对称与平衡。如果两路混频器的跨导单元是独立的, 则很难保证两路混频器拥有相同的跨导, 这样会导致输出幅度的不匹配。为了使得电压裕度达到最大, 改善混频器线性度, 电路中没有使用共模尾电流源而使 M_1 和 M_2 直接接地。

$M_5 - M_8$ 构成电路的负载单元。NMOS 晶体管被用来代替电阻负载。经过仿真 M_5 的 R_{ds} 可以超过 $10k\Omega$, 假设流过 M_5 的电流 I_c 为 $0.3mA$, 则如果采用传统的电阻为负载, 在该电阻上的电压压降为 $3V$ 。这对于 $1.8V$ 的电源电压系统而言, 显然是不可接受的。本设计可以在满足等效负载阻抗的同时, 不减少电压裕度。所以, 它可以在达到高转化增益的同时改善电路的线性度。

$M_9 - M_{16}$ 是四组开关对。它们的沟道长度都被设计为该工艺的最小值 $0.18\mu\text{m}$ 以提高开关速度。除了良好的线性度和较高的电压裕度特性,与传统的吉尔伯特结构混频器相比,折叠结构拥有更多优势。由于跨导单元和开关单元是相对独立的,因此可以拥有不同的直流电流通路。这样为了提高开关速度而降低开关单元的电流并不会使混频器整体的增益和线性性能恶化。

混频器本质上是实现了射频信号与本振信号相乘,即

$$\begin{aligned}\cos(\omega_{\text{RF}}t)\cos(\omega_{\text{LO}}t) &= \frac{1}{2}\cos(\omega_{\text{RF}} - \omega_{\text{LO}})t \\ &+ \frac{1}{2}\cos(\omega_{\text{RF}} + \omega_{\text{LO}})t\end{aligned}\quad (5)$$

从式(5)看出,相乘可以得到两项,一项是差频信号中频 f_{IF} ,而另一项是和频信号。在无线传感器网络应用中,假设使用第一个信道,则输入射频信号 f_{RF} 是2.42GHz,本振信号 f_{LO} 是2.4GHz,那么得到的中频输出信号 f_{IF} 即为2MHz,和频信号 $f_{IF} + f_{LO}$ 是4.802GHz。应用中希望得到的是中频信号,和频信号为无用部分。电路中,两个小容值电容 C_1 、 C_2 分别跨接于混频器的I/Q两路间,如图6中所示。其目的是为了引入一个低通极点,通过仿真,可以证实,这两个电容的引入对电路性能的提高贡献很大,可以有效滤除不需要的高频信号。

对于以 $M_5 - M_8$ 构成的电流源负载电路,其共

模电平并不能完全界定。对于全差分电路而言,需要共模反馈(CMFB)电路来确定并钳制共模直流电平,并使得该电平满足输出节点需求。图8给出了该共模反馈电路原理图。图8中 V_{CM1} 、 V_{CM2} 接于同一个节点。参考电压 V_{ref} 由带隙电流 I_{ref} 和片内电阻 R_{ref} 产生。 V_{OUT} 通过高阻值扼流电阻连接于跨导管 M_1 和 M_2 栅极,给两个晶体管提供偏置电压。

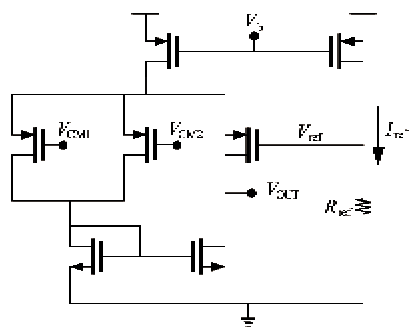


图 8 混频器中的共模反馈电路原理图

最后,为了方便测试,混频器电路的输出端加入了4个源极跟随器作为缓冲,将输出阻抗匹配至 50Ω 。在系统中应用时,由于下级电路为高阻输入的复数带通滤波器,因此,并不需要这4个缓冲器而可以采取直接耦合的方式将2MHz的中频信号送给复数带通滤波器进行处理。所以,为了功耗测试的准确性,这4个缓冲器采取单独电源供电的方式,其消耗的功耗并不需要计算入射频前端芯片核心电路功耗中。

3 芯片测试结果

该射频前端芯片在 TSMC 0.18 μm CMOS 工艺下进行了流片验证。芯片照片如图 9 所示,芯片面积为 700 μm ×800 μm 。由于射频信号发生器无法产

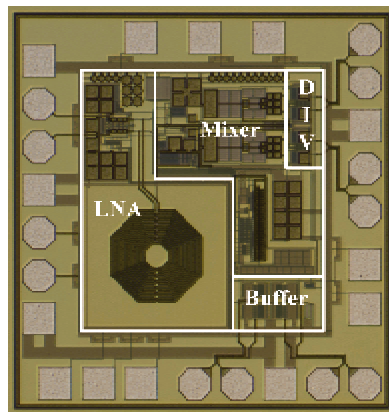


图9 射频前端芯片显微照片

生同相正交差分信号,芯片中加入了一个 2 分频器。这样信号发生仪产生的 4.8GHz 差分的射频信号经过 2 分频后即可产生一组 2.4GHz 同相正交的差分信号。图中标出了低噪声放大器 LNA、下变频器 Mixer、缓冲电路 Buffer 和 2 分频器 DIV 的各自位置。

芯片在 1.8V 电源电压下工作电流约 3.2mA,即功耗为 5.8mW。图 10 给出了芯片在 2GHz 到 3GHz 范围内的输入匹配结果。在 2.4GHz 时, S_{11} 约为 -13.5dB,作为共栅结构放大器的显著特性,在该范围内 S_{11} 皆保证小于 -10dB,输入端满足宽带匹配特性。该射频前端芯片无需任何片外匹配元件即可与 50 Ω 天线匹配。

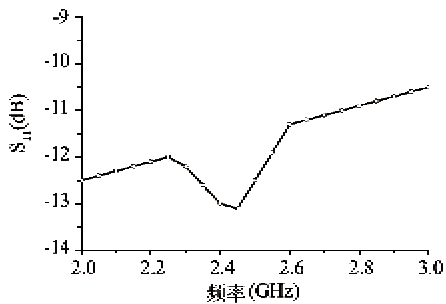


图 10 高增益模式下该射频前端的 S_{11} 参数

如前文所述,射频前端的输入匹配对于该前端乃至整个接收系统都是至关重要的指标。在较高频率下,如果输入匹配较差,则会引起信号的反射,损失接收到的信号,影响芯片性能。而且,对于接收系统来说,接收到的信号往往是很微弱的,输入匹配的好坏将直接影响系统的灵敏度。通过测试结果可以得到,该芯片能较好地接收天线的微弱射频信号,信号的反射很小,满足输入匹配要求。

图 11 给出了芯片在不同增益模式下的转化电压增益测试结果。在高增益模式下,该射频前端拥有 26dB 的转化电压增益,在低增益模式下,转化电压增益约为 10dB。

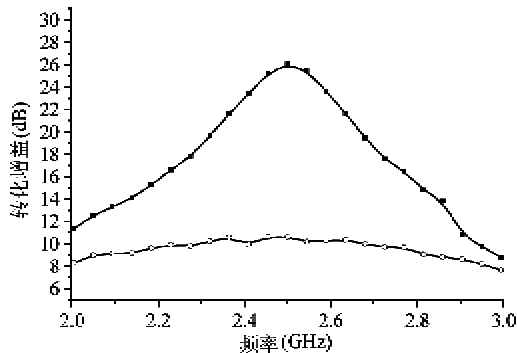


图 11 不同增益模式下该射频前端的转化电压增益曲线

在正常条件下,芯片工作于高增益状态,此时芯片具有较低的噪声。当输入信号很大,在高增益模式下工作时,芯片会进入非线性区,有时高强度信号经高增益模式放大后会将后级电路拥塞,于是需要将芯片调整为低增益模式工作,此时关心的重点已经不是灵敏度而是线性度。测试结果显示,该芯片的高、低两档增益跨度较大,有 16dB,能够充分满足系统要求。

图 12 给出了芯片的线性度测试结果,高增益模式下,电路的输入 1dB 压缩点为 -32dBm,而在低增益模式下,电路的输入 1dB 压缩点为 -20dBm。

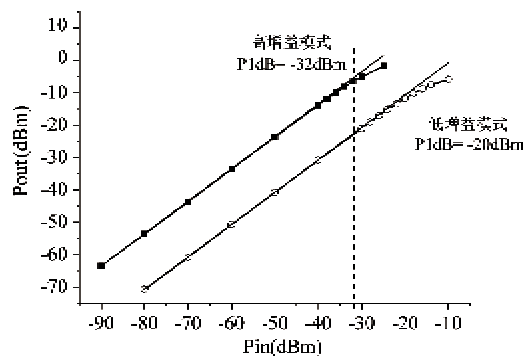


图 12 电路的线性度测试结果

该结果说明,在信号小于 -35dBm 时,可以使用高增益档工作。而当信号大于 -35dBm 时,需切换到低增益档。根据无线传感网的协议要求,其接收信号强度范围为 -85dBm 到 -25dBm。信号强度最大为 -25dBm,而该芯片低增益工作时,输入 1dB 压缩点大于 -20dBm,能够充分满足指标要求。

下变频后的同相正交差分波形如图 13 所示,该射频前端输出的同相正交差分信号的相位误差为 1° 而幅度误差为 0.2dB,该误差包括了分频器、测试用片外 Balun 等器件带来的影响。

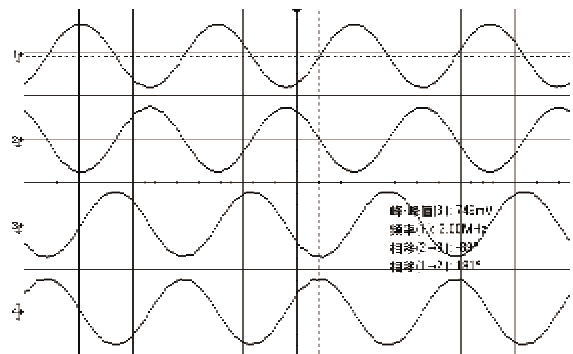


图 13 电路的输出波形测试

由于测试设备的局限性,噪声分析仪能测得的最低信号为 10MHz,不能测试 2MHz 的中频信号,故对该射频前端下混频至 10MHz 时的输出中频信号进行了噪声测试,测试结果显示,高增益模式下该射频前端的噪声系数约为 8dB。通过仿真分析,该混频器的闪烁噪声拐点远高于 10MHz,因此该结果可以充分反映出中频为 2MHz 时,芯片的噪声性能。

表 1 给出了芯片测试结果。

表 1 芯片测试结果

参数	数值
电源电压	1.8 V
工作电流	3.2mA
功耗	5.8 mW
S_{11}	< -10 dB
转化电压增益	26dB/10dB
噪声系数@ 高增益	8 dB
IP1dB@ 低增益	-20dBm
幅度误差	0.2dB
相位误差	1°

表 2 给出了本芯片和近几年其他一些论文提及的射频前端性能进行了对比。结果显示,本设计的射频前端具有最低的功耗,且性能优于或不亚于其他设计。可以通过优率的方法来衡量射频前端模块的性能。优率有两种衡量方案,第一是转化增益除以直流功耗,用 Fom_1 表示,第二种 Fom_2 可以通过下式表示^[9]:

$$Fom_2 [mW^{-1}] = \frac{Gain[abs]}{(NF - 1)[abs] \cdot Pdc[mW]} \quad (6)$$

通过优率,可以更加直观地分析出芯片性能的优劣,结果显示,在两种优率指标下,本设计都为最优。

表 2 芯片测试结果对比

文献	功耗 (mW)	增益 (dB)	噪声 系数 (dB)	IP1dB (dBm)	Fom_1 (dB/ mW)	Fom_2 (mW ⁻¹)
[4]	10.4	15	4.0	-12	1.44	0.36
[10]	13.0	23	10	-17.4	1.76	0.12
[11]	14.4	28.7	7.1	-19.0	1.95	0.46
本设计	5.76	26	8.0	-20	4.51	0.65

4 结 论

本文描述了一款应用于无线传感器网络的低功耗、低中频射频前端芯片的设计过程。为了在降低

中低噪声放大器功耗的同时满足宽带输入匹配特性,该射频前端的低噪声放大器采用两级级联的共栅结构。该低噪声放大器以高感值的片上电感作为负载,以满足其较高电压增益需求,弥补其在增益和噪声性能上的不足。该射频前端选取有源混频器以提供一定的增益并抑制后级噪声,进一步提高其性能。经测试,该射频前端在 1.8V 电源电压下工作电流约为 3.2mA,在高增益模式下有 26dB 的转化电压增益,8dB 噪声系数;在低增益模式下的输入 1dB 压缩点为 -20dBm。测试结果显示,该芯片满足无线传感网指标要求,而且具有较低的功耗。无线传感网具有无人值守的散布式的节点,在满足性能指标的前提下,其低功耗设计必然成为研究的热点。随着功耗的降低,芯片和节点的寿命会得到延长,从长远角度看,可以降低整体使用成本。因此,低功耗技术将会是无线传感网及其他一些 IP 核电路研究的热点。本文的一些低功耗设计理念,可以为低功耗设计提供一些方法和实践依据。在这方面的的工作将会进一步深入进行。

参考文献

- [1] Lim J H, Cho K S, Seo B L, et al. A Fully Integrated 2.4GHz IEEE 802.15.4 Transceiver for Zigbee Applications. Proceedings of Asia-Pacific Microwave Conference, Yokohama, Japan, 2006. 1779-1782
- [2] Camus M, Butaye B, Garcia L, et al. A 5.4 mW/0.07 mm² 2.4 GHz Front-End Receiver in 90 nm CMOS for IEEE 802.15.4 WPAN Standard. IEEE Journal of Solid-State Circuits, 2008, 43(6):1372-1383
- [3] Lee T H. The Design of CMOS Radio Frequency Integrated Circuits. Cambridge, U. K.: Cambridge University Press, 1998
- [4] Zhang H, Li Z Q, Zhang M, et al. A 2.4GHz Low-IF RF Frontend for wireless sensor networks. Microwave and Millimeter Wave Technology (ICMMT), Nanjing, China, 2010. 225-228
- [5] 张浩, 李智群. 带 ESD 保护的 2.4GHz 低噪声放大器的分析与设计. 高技术通讯, 2010, 20(4):403-409
- [6] Razavi B. Design of Analog CMOS Integrated Circuits. Xian: Xian Jiaotong University Press, 2003
- [7] Lin C G, Kalkur T S. A 2.4GHz Common-Gate LNA Using on-Chip Differential Inductors in a 0.18μm CMOS Technology. Electrical, Communications, and Computers, 2009. 35:183-188
- [8] Gao W, Yu Z P. Scalable Compact Circuit Model and

- Synthesis for RF CMOS Spiral Inductors. *IEEE Transactions on Microwave Theory and Techniques*, 2006. 54(3): 1055-1063
- [9] Borremans J, Thijs S, Wambacq P, et al. A Fully Integrated 7.3 kV HBM ESD-Protected Transformer-Based 4.5 – 6 GHz CMOS LNA. *IEEE J Solid-State Circuits*, 2009, 44(2):344
- [10] Hong E P, Hwang Y S, Yoo H J. A low power folded RF front-end with low flicker noise for direct conversion receiver. Electron Device and Solid Circuits Conference, Taiwan, China, 2007. 453-456
- [11] Mahyar Nirouei, Soheil Ziabakhsh, et al. A High Conversion Gain, Low Noise Figure RF-CMOS Receiver Front-End for 2.4-GHz Applications. *IEEE Transactions on Circuits and System I*, Kuala Lumpur, Malaysia. 2010. 839-842

Design of a 2.4GHz low power low-IF RF frontend for wireless sensor networks

Zhang Meng^{* ** ***}, Li Zhiqun^{* ** ***}, Shen Dongjun^{* ** ***}

(^{*} Institute of RF- & OE-ICs, Southeast University, Nanjing 210096)

(^{**} Engineering Research Center of RF-ICs & RF-Systems, Ministry of Education,
Southeast University, Nanjing 210096)

(^{***} Jiangsu Provincial Key Laboratory of Sensor Network Technology, Wuxi 214135)

Abstract

A 2.4GHz low power low-IF RF frontend for wireless sensor networks was designed and implemented in a 0.18 μ m CMOS technology. The RF frontend consists of a variable gain low noise amplifier (VG-LNA), a low power folded Gilbert quadrature mixer and a divide-by-two circuit which generates the differential quadrature LO signals for the quadrature balanced mixer. The VG-LNA has the high gain mode and the low gain mode. The folded Gilbert active mixer was chosen to make up for the weakness on gain and noise figure of the common gate LNA. The design of the common gate LNA and the inductor modeling for this LNA, and the design of the mixer, were analyzed in detail, and the RF frontend was tested and measured. The measurement results showed that the frontend achieved the 26dB voltage conversion gain and the 8dB noise figure at the high gain mode, and the -20dBm input referenced 1dB compression point at the low gain mode, while its DC operating current and power consumption were 3.2mA and 5.76mW under a 1.8V voltage supply.

Key words: frontend, variable gain, low power, low noise amplifier (LNA), folded quadrature mixer, wireless sensor network (WSN)