

面向 FPGA 的低泄漏功耗 SRAM 单元设计方法研究^①

李列文^② 桂卫华

(中南大学信息科学与工程学院 长沙 410075)

摘 要 针对现场可编程门阵列(FPGA)因集成度与速度提高引起的功耗问题,提出了一种适合于 FPGA 的低功耗静态随机存储器(SRAM)单元设计方法。该方法基于 FPGA 中 SRAM 单元在配制后存储值多数为“0”这一特点以及对 SRAM 单元存储值为“0”时的主要泄漏电流来源的分析,综合应用双阈值电压技术和双栅氧化层厚度技术降低 SRAM 单元存储值为“0”时的泄漏功耗。该方法的优点是不增加面积和整体延时,且能改善静态噪声容限。仿真结果表明,与传统结构 SRAM 单元相比,在保证其他性能的前提下,采用该方法所设计的 SRAM 单元的泄漏功耗可降低 41.32% 以上。

关键词 低功耗,静态随机存储器(SRAM),泄漏功耗,现场可编程门阵列(FPGA)

0 引 言

由于现场可编程门阵列(field programmable gate array, FPGA)多采用静态随机存储器(static random access memory, SRAM)工艺,因而 SRAM 技术的研究受到了重视。近年来,FPGA 因其可编程特性好、开发周期短、性能高、成本低等优势,被广泛应用于原型验证、工业控制、计算机硬件、通信、汽车电子、航空航天等各个领域^[1,2],此外,由于其具有独特的可重构特性,还被认为是构建自适应系统的首选器件^[3]。然而,随着集成电路生产工艺进入纳米阶段,FPGA 的设计面临着一系列新的难题,功耗问题就是其中之一。功耗问题不但影响着 FPGA 的性能、封装、测试以及系统可靠性,还在很大程度上决定着 FPGA 未来的发展方向。FPGA 功耗分析表明,SRAM 的静态功耗所占的比重最大。本文针对这个问题进行了研究,提出了面向 FPGA 的低泄漏功耗 SRAM 单元设计方法,并说明了该方法的有效性。

1 相关研究

从功耗来源角度看,FPGA 芯片的功耗可以分

为动态功耗和静态功耗,在互补金属氧化物半导体(CMOS)工艺到达 90nm 之前,FPGA 的功耗主要由动态功耗构成,大约占 62% 以上^[4]。近年来,随着集成电路工艺特征尺寸的减小,晶体管的栅氧化层厚度和阈值电压也必须相应地缩小,因此导致漏电流功耗的指数性增长。当芯片制造工艺到达 45nm 时,在 FPGA 中静态功耗已超过动态功耗,成为芯片总功耗的决定因素^[5]。随着未来芯片制造工艺的进一步提高,CMOS 电路的泄漏电流效应还将持续增加。在 FPGA 中,静态随机存储器(SRAM)消耗的静态功耗所占的比重最大,约占 FPGA 总静态功耗的 38%,而查找表、布线资源及其它逻辑资源的静态功耗所占的比例分别为 16%、34% 和 12%^[6],因此,降低 FPGA 中 SRAM 的泄漏功耗对有效降低 FPGA 整体的静态功耗有着重要现实意义。

针对 SRAM 单元功耗优化问题,国内外很多研究人员已经提出了一些方法。Azam 等人采用将 SRAM 的读、写辅助电路分开的思想设计了一种低功耗 7 管 SRAM 单元^[7]。文献[8]提出了采用动态电压缩放(dynamic voltage scaling, DVS)技术设计低功耗 SRAM 单的方法,该方法以损耗 3% 的性能为代价,可降低栅极泄漏电流 60% 以上。为了减小栅极漏电流,文献[9]则提出了通过增加一个 PMOS 管改变 SRAM 单元中传输晶体管的栅电压降低泄

① 国家自然科学基金(61134006)资助项目。

② 男,1974 年生,博士生,长沙师范学校教师;研究方向:FPGA 低功耗设计技术,嵌入式系统设计;联系人,E-mail: lilw168@126.com
(收稿日期:2012-01-04)

漏电流的方法。此外, Powell 等人成功将门控电压 (Gated-Vdd) 技术应用到低功耗 SRAM 单元设计中, 该方法通过在 SRAM 单元两个驱动 N 沟道 MOS (NMOS) 管和地之间加入一个高阈值电压的 NMOS 管, 有效地抑制了 SRAM 在空闲状态下的泄漏电流^[10]。上述各种方法虽然在降低 SRAM 泄漏功耗方面有较明显的效果, 但大多方法都存在增加额外硬件开销、增大电路面积等不足。

针对额外硬件开销问题, 文献[11]提出了一种非对称的低功耗 SRAM 单元结构, 该结构采用单线方式实现对 SRAM 单元的读写操作, 其主要不足是当 SRAM 单元的存储值为“0”时, 对亚阈值漏电流优化效果不明显。此外, Amelifard 等人提出了采用双阈值电压技术设计 SRAM 单元的方法, 该方法具有不增加硬件开支、增强 SRAM 单元稳定性和降低功耗等优点, 其主要缺陷是不能优化栅极泄漏电流^[12]。在 Amelifard 等人研究的基础上, 文献[13]提出了将双阈值电压技术和双栅氧化层厚度技术相结合以减少 SRAM 泄漏电流的方法, 该方法同时解决了增加硬件开销和降低栅极泄漏电流问题。但该方法也有一定的缺陷, 采用该方法设计的 SRAM 不适合应用于 FPGA, 这是因为它没有考虑到 FPGA 配制后大约有 87% 的 SRAM 单元存储值为“0”这一特点^[14], 由于当 SRAM 单元的存储值分别为“0”和“1”时所消耗的漏电功耗完全不同, 因此, 存储值为“0”的 SRAM 单元的泄漏电流才是 FPGA 中 SRAM 单元泄漏功耗的主要来源和优化的重点。

针对上述问题, 本文提出了一种适合于 FPGA 的低功耗 SRAM 单元设计方法。该方法与以往的研究工作不同: 第一, 充分考虑了完成配制后的 FPGA 中绝大多数 SRAM 单元存储值为“0”的特点, 重点对 FPGA 中存储值为“0”的 SRAM 单元泄漏电流进行优化, 使得功耗优化效率最大化; 第二, 采用双阈值电压技术和双栅氧化层厚度技术降低亚阈值漏电流和栅极泄漏电流时, 只针对存储值为“0”的 SRAM 单元中泄漏电流较大晶体管进行漏电功耗优化, 确保在进行功耗优化时能兼顾性能; 第三, 办求具有不增加硬件开支、不增加 SRAM 的整体延时以及增强 SRAM 稳定性等优点。

2 低泄漏功耗 SRAM 单元设计方法

2.1 SRAM 中泄漏电流成分及其减小技术

标准 6 管 SRAM 单元结构如图 1 所示, 它本质

上是一个双稳态锁存触发电路, P2、N2 和 P1、N1 分别构成两个交叉耦合的反相器。反相器中的 NMOS 管和 PMOS 管又称为下拉管和上拉管, 分别起到驱动和负载的作用。N3、N4 为传输管, WL 为字线, BL 与 BLB 分别为位线和反相位线, 用它们来控制存储单元的读写操作。

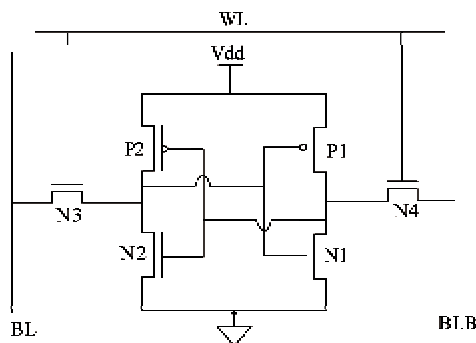


图 1 标准 6 管 SRAM 单元结构图

对于 SRAM 型 FPGA 器件, SRAM 有着极其重要的作用, FPGA 的可编程特性主要依靠 SRAM 来实现, 用户通过编程 SRAM 单元的内容设计实现所需的各种逻辑电路。

在基于 CMOS 工艺的 SRAM 单元中, 泄漏电流主要包括源漏级反偏漏电流、亚阈值漏电流和栅极漏电流三种。当反偏的 P-N 结之间形成强大的电场时, 会形成较强的反偏漏电流, 称为源漏级反偏漏电流。晶体管的制造工艺对源漏级反偏漏电流的影响较大。由于源漏级反偏漏电流在整体泄漏电流中所占的比例非常小^[15], 因此本文没有对其作特殊的考虑。当晶体管的栅源电压小于阈值电压时, 源极与漏极之间的沟道中存在的电流被称为亚阈值漏电流。亚阈值漏电流可以表示如下^[16]:

$$I_{\text{sub}} = \frac{uWC_{\text{ox}}}{L} V_T^2 e^{\frac{V_{\text{GS}} - V_T}{nV_T}} \left(1 - \exp\left(-\frac{|V_{\text{DS}}|}{V_T}\right) \right) \quad (1)$$

其中 V_T 为阈值电压, V_{GS} 为栅源电压, V_{DS} 为漏源电压, u 为载流子迁移率, n 为亚阈值摆幅系数, C_{ox} 为单位面积上栅氧电容, V_T 为热电压, W/L 分别为晶体管的有效宽度和长度。由式(1)可以看出, 亚阈值漏电流的大小与晶体管器件的几何特性、工作温度等因素相关, 在其他条件不变的情况下, 亚阈值漏电流会随阈值电压的降低呈指数形式增长, 因此, 增大晶体管的阈值电压是减小亚阈值泄漏电流的最有效和最常见的方法之一。当沟道与栅极之间的绝缘层厚度 T_{ox} 小于 $20\text{\AA}$ 后, 过薄的绝缘层使得栅极

绝缘层的绝缘效果急速变差,在栅极与漏、源、衬底之间就会出现漏电流,称为栅极泄漏电流。金属氧化物半导体场效应管主要有两种栅极隧穿机制:一种是通过栅氧导电带的隧穿,另外一种是通过栅绝缘层带能隙的直接隧穿。其中通过栅绝缘层的直接隧穿所产生的直接隧穿电流是栅极泄漏电流最主要的组成部分,它可以用下式表示^[17]:

$$J_T = A \left[\frac{V_{ox}}{T_{ox}} \right]^2 \exp \left[\frac{-B \left[1 - \left[1 - \frac{V_{ox}}{\Phi_{ox}} \right]^{\frac{3}{2}} \right]}{\frac{V_{ox}}{T_{ox}}} \right] \quad (2)$$

式中 T_{ox} 是栅氧化层厚度, J_T 代表隧道电流密度, V_{ox} 是栅氧化层上的电压, Φ_{ox} 是隧道电子(或空穴)的势垒高度, A 和 B 是与工艺相关的常数。由式(2)可以看出,直接隧穿电流主要和栅氧化层厚度、栅氧化层上的电压等因素有关。当前,减小栅极泄漏电流的主要技术包括降低栅电压、增加栅氧化层厚度以及使用高 k 栅介质材料来替代 SiO_2 栅介质等。其中降低栅电压的方法需要增加硬件电路。而采用高 k 栅介质的方法制备工艺上还不是很成熟,目前还处在理论研究和实验工作阶段^[18]。由于栅极泄漏电流随着栅氧化层厚度的减小而呈指数倍增加,因此,增加晶体管的栅氧化层厚度是目前减小栅极泄漏电流的一种有效的方法。

2.2 面向 FPGA 的低功耗 SRAM 单元设计方法

在三种泄漏电流中,亚阈值漏电流和栅极泄漏电流是 SRAM 中漏电功耗的主要来源,虽然提高晶体管的阈值电压和增加栅氧化层厚度是目前降低亚阈值漏电流和极泄漏电流有效的方法,但这两种方法都存在增加晶体管延时的缺陷。对于 SRAM 存储单元,当所有的晶体管都采用高阈值或较厚栅氧化层晶体管时,可以大幅减小亚阈值泄漏电流和栅极泄漏电流,其主要代价是造成 SRAM 电路读、写操作延时明显的增加,然而,在 FPGA 的应用中这种较大的延时是很不利的,特别是在基于 FPGA 的动态可重构系统中是不能容忍的。

在基于 FPGA 的应用设计中,为了确保 FPGA 布局、布线及映射的灵活性,通常要保留一定数量的 SRAM 配制单元不被使用,这些未被使用的 SRAM 单元在缺省状态下被置为“0”^[5],因而造成 FPGA 中的 SRAM 存储“0”和“1”的概率不同。文献[14]在对 FPGA 的配制流文件的研究中发现,当 FPGA 完成配制后大约有 87% 的 SRAM 存储单元的存储值为“0”,因此,在 FPGA 中存储值为“0”的 SRAM

单元的泄漏电流是 FPGA 中 SRAM 泄漏功耗的主要来源,有较大优化空间。考虑到当 SRAM 单元的存储值为“0”时,SRAM 存储单元中各晶体管的泄漏电流相差很大,一种较好降低 FPGA 中 SRAM 单元泄漏功耗的方法是:将存储值为“0”的 SRAM 单元中泄漏电流较大的晶体管用厚栅氧化层晶体管或高阈值晶体管进行替换,这样可以在保证性能的前提下,尽可能最大限度减小 SRAM 中的泄漏电流。下面对 SRAM 单元存储值为“0”时各晶体管的泄漏电流进行比较分析,并按上述方法设计新型的 SRAM 单元结构。

3 低泄漏功耗 SRAM 单元结构设计

当 SRAM 单元所存储的值不同时,SRAM 中各晶体管的漏电流不同。图 2 和图 3 分别给出了 SRAM 单元存储值为“1”和“0”时各晶体管的泄漏电流。从两个图可以看出,当存储值分别为“0”和为“1”时 SRAM 中同一个晶体管的泄漏电流完全不同。

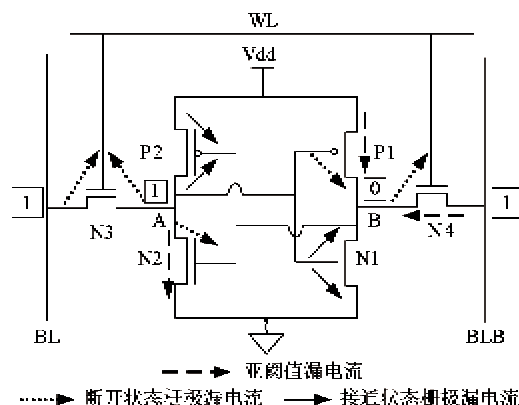


图2 SRAM 单元存储值为“1”时泄漏电流示意图

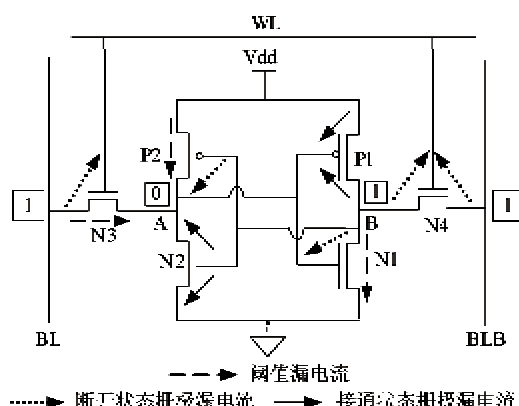


图3 SRAM 单元存储值为“0”时泄漏电流示意图

下面主要对 SRAM 存储值为“0”时各晶体管的漏电流进行分析。从图 3 可以看出,当 SRAM 单元

的存储值为“0”且在待机状态时,字线被设为“0”,位线被置为“1”,节点 A 的值为“0”,节点 B 的值为“1”,SRAM 中 6 个晶体管中漏电流各不相同,其中 NMOS 管 N2、N4 及 PMOS 管 P1 中只存在栅极泄漏电流, NMOS 管 N3、N1 及 PMOS 管 P2 中则同时存在亚阈值漏电流和栅极泄漏电流。

文献[16]对相同尺寸 NMOS 管和 PMOS 管在不同的电源电压下的亚阈值漏电流和栅极泄漏电流进行了比较研究,其结果如图 4 所示,下面分三种情况分别进行分析。

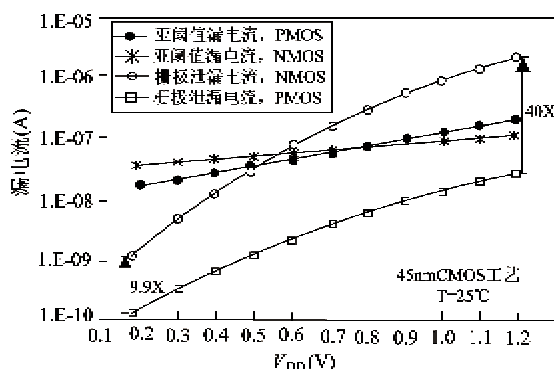


图 4 相同尺寸 NMOS 管和 PMOS 管在不同电源电压下亚阈值漏电流和栅极泄漏电流比较

(1) PMOS 管与 NMOS 管中栅极泄漏电流比较分析。PMOS 管与 NMOS 管中栅极泄漏电流产生的机理不同,PMOS 管的栅极漏电流主要由价带中的空穴隧穿产生,NMOS 管的栅极漏电流主要是由导带中的电子隧穿引起的,而价带的势垒高度要远远大于导带的势垒高度,因此,相同尺寸下 PMOS 管的栅极漏电流明显低于 NMOS 管。从图 4 也可以得出相同的结论。在同条件下,相同尺寸的 PMOS 管与 NMOS 管相比栅极泄漏电流会小一个数量级以

上。此外,当晶体管处在开启状态时其栅极泄漏电流要比关闭时大很多^[19],因此,在图 3 中 SRAM 单元中的 N2、N4 和 P1 晶体管中,处于开启态的 NMOS 管 N2 的栅极泄漏电流最大,P1 管的栅极泄漏电流最小。由于栅极泄漏电流随着栅氧化层厚度的缩小而呈指数倍增加,我们选择通过增加栅氧化层厚度来减小晶体管 N2 的栅极泄漏电流,对于栅极泄漏电流最小的 P1 管则采用普通晶体管,这样不会增加面积和整体延时,对 SRAM 设计流程的改动也很小。

(2) PMOS 管中同时存在亚阈值漏电流和栅极泄漏电流的情况分析。如图 4 所示,相同条件下 PMOS 管中的栅极泄漏电流比亚阈值漏电流小很多,因此,当 PMOS 管中同时存在两种泄漏电流时,亚阈值漏电流是 PMOS 管泄漏功耗的主要来源。由于亚阈值电流随阈值电压的降低呈指数形式增长,因此对于图 3 中 SRAM 中的 PMOS 管 P2 采用提高阈值电压方法降低其亚阈值漏电流。

(3) NMOS 管中同时存在亚阈值漏电流和栅极泄漏电流的情况分析。从图 4 可看出,当电源电压小于 0.6V 时,NMOS 管中的亚阈值漏电流大于栅极泄漏电流,随着供电电压增大栅极泄漏电流明显增加,当电压达到 0.8V 左右时, NMOS 管的栅极泄漏电流已经远远超过亚阈值漏电流,成为 NMOS 管泄漏电流的主体。因此,对于图 3 中 SRAM 单元中同时存在两种泄漏电流的 NMOS 管 N1 采用增加栅氧化层厚度的方法减少其栅极泄漏电流。此外,由于在 SRAM 中改变传输管的性能对存储单元的读写延时影响最大^[13],因此,对于图 3 中 SRAM 单元的传输管 N3 和 N4,在新设计中的 SRAM 中采用标准的阈值电压和标准厚度的栅氧化层晶体管。综合上面的分析,新设计的 SRAM 单元如图 5(b)所示。

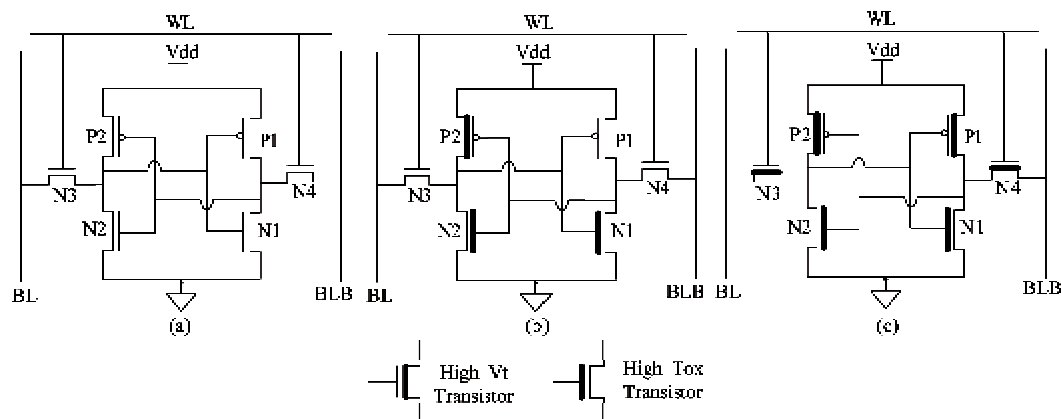


图 5 三种不同的 SRAM 单元结构

在图 5(b)中,下拉晶体管 N1、N2 采用厚栅氧化层晶体管,上拉晶体管 P2 为高阈值晶体管,其余 3 个晶体管采用普通晶体管。为验证新设计的 SRAM 单元的读和写操作延时、静态噪声容限以及泄漏功耗等主要性能指标改变的情况,设计了对比实验,图 5(a)和图 5(c)为用作对比实验的 SRAM 结构,其中图 5(a)结构为传统的所有晶体管全部使用普通栅氧化层和普通阈值晶体管的结构,图 5(c)为所有晶体管都采用高阈值或较厚栅氧化层晶体管的结构。

4 实验与分析

本文所有的实验数据全部基于 HSPICE 仿真,采用 45nm 工艺的伯克利预测技术模型(Berkeley Predictive Technology Models, BPTM)^[20],此晶体管模型已经加入了栅极隧道电流模型。仿真温度分别为 30℃和 80℃,高阈值晶体管的阈值电压为 0.25V,普通阈值晶体管的阈值电压为 0.20V,供电电压为 1.0V,薄的栅氧化层厚度为 1.4nm,厚的栅氧化层厚度为 1.6nm。

4.1 泄漏功耗分析

表 1 给出了在 30℃和 80℃时,三种电路结构的亚阈值泄漏功耗(Sub)、栅极泄漏功耗(Gate)及整体泄漏功耗(Total)的值,单位为 nW。图 6 则为三种电路结构的整体泄漏功耗的量化对比。

表 1 三种 SRAM 单元结构的泄漏功耗

泄漏功耗	30℃			80℃		
	Sub	Gate	Total	Sub	Gate	Total
A	72.63	1295.3	1367.93	380.21	1295.94	1676.15
B	45.23	741.26	786.49	242.15	741.34	983.49
C	20.04	319.75	339.79	100.52	320.36	420.88

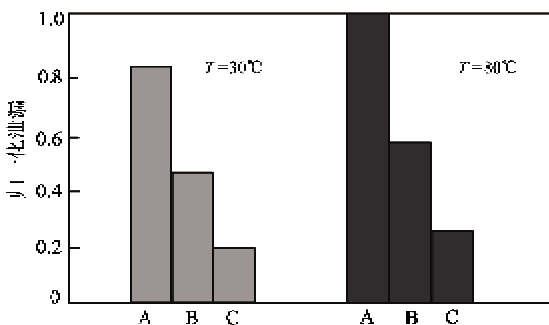


图 6 三种结构整体泄漏功耗的量化对比

从表 1 可以看出当温度为 30℃时,B、C 结构的

整体泄漏功耗与原始的 A 结构相比分别降低了 42.5%和 75.16%,而当温度为 80℃时,B、C 结构的泄漏功耗与 A 结构相比则分别节省了 41.32%及 74.89%。此外,从表 1 还可以看出,在 45nm 工艺下栅极泄漏电流已经成为 SRAM 泄漏功耗的主要来源,无论是在 30℃还是 80℃,由栅极泄漏电流所产生的功耗在整体泄漏功耗中都占支配地位。

4.2 读操作延时的变化

在新设计的 SRAM 单元中,晶体管的阈值电压升高和栅氧化层厚度的增加都将造成 SRAM 单元读、写延时的变化。由于在 SRAM 的读、写操作中,读操作时间往往大于写操作时间,因此,读操作延时的变化对 SRAM 的性能影响至关重要。表 2 给出了在 80℃时,B、C 两种结构与 A 结构相比静态功节约的百分比及读操作延时的变化。

表 2 三种结构的功耗减少和操作延时增加的百分比

结构	泄漏减少(%)	读操作延时增长(%)
A	—	—
B	41.32	0.31
C	74.89	6.79

从表 2 中可以看出,与原始的结构 A 相比,在 B、C 两种结构中 C 结构的静态功耗降幅最大,达到 74.89%,但其读操作延时却增加了 6.79%。而 B 结构在节省 41.32%泄漏功耗的情况下其读操作延时只增加了 0.31%,其主要原因是:SRAM 单元中对读延时影响最大的是传输晶体管,C 结构中传输晶体管采用了较厚栅氧化层晶体管,因此导致 C 结构 SRAM 单元读操作延时有较大的增加,而 B 中的传输晶体管均采用普通传输管,因而对 SRAM 的读操作延时的影响相对要小很多。新设计 B 结构的 SRAM 单元在增加很小读操作延时的条件下大幅降低了静态功耗,其综合性能优于 A、C 两种结构。

4.3 静态噪声容限的改善

静态噪声容限(static noise margin, SNM)是衡量 SRAM 单元抗干扰能力及其稳定性的一个重要参数,其定义为存储单元状态发生翻转前所能承受的最大直流噪声电压^[21]。SRAM 单元的噪声容限在读操作、写操作及待机模式下各不相同。当 SRAM 单元处于待机模式时,字线以及处于逻辑“0”的传输管被关闭,存储单元内所存储的值一般不会因外界噪声发生改变。而当读操作时,SRAM 存储单元的位线会被充电至电源电位,此时由字线选通

的两个传输管会并联在负载管上,存储单元内所存储的值很容易受到噪声的干扰而发生翻转。因此,在读操作时 SRAM 单元对噪声尤其敏感噪声容限特性最差,而在待机模式下噪声容限特性最好。这里分别在读操作模式和待机模式下对三种 SRAM 结构的噪声容限进行了仿真。仿真的温度为 80℃。表 3 给出了通过仿真计算得到 SNM 的结果。

表 3 三种 SRAM 结构待机状态和读操作模式下 SNM 对比

SRAM 结构类型	A	B	C
待机模式 SNM(mV)	234	243	336
读操作模式 SNM(mV)	106	131	149

从表 3 可以看出:与原始的 A 结构相比,无论是在读操作模式还是在待机模式,B、C 两种结构的静态噪声容限都有不同程度的改善;与 B 结构相比 C 结构的 SNM 值增幅要大一些。这是因为 SNM 随着晶体管阈值电压的升高而增加^[21],而增加晶体管栅氧化层厚度也会导致晶体管阈值电压的升高^[13],因此,在 SRAM 单元中无论是增加晶体管阈值电压还是增加晶体管栅氧化层厚度都有助于提高 SRAM 单元的 SNM 值,C 结构中的所有晶体管的阈值电压或栅氧化层厚度都有增加,而 B 结构中只有部分晶体管的阈值电压和栅氧化层厚度发生了变化,所以 B、C 两种结构的 SNM 值增加不同。

5 结 论

功耗是制约 FPGA 发展的主要瓶颈之一,本文基于 FPGA 中 SRAM 单元在配制后多数被置为“0”这一事实,提出了一种适合于 FPGA 的低功耗 SRAM 设计方法,该方法在不降低性能的前提下通过增加部分 SRAM 单元内关键晶体管的栅氧化层厚度或阈值电压来降低其泄漏功耗。基于该方法设计的新型 SRAM 单元结构在温度为 80℃ 时的仿真结果表明,所设计的新型 SRAM 单元与传统的 SRAM 单元相比,在仅增加 0.31% 读操作延时的情况下,可降低 SRAM 泄漏功耗 41.32% 以上。同时,在研究中还发现,由于所设计的新型 SRAM 单元侧重于栅极泄漏电流优化,随着工艺进步,栅极泄漏电流所产生的功耗在整体泄漏功耗中的比重将不断增大,新提出的 SRAM 单元的节能效应将更加明显。下一步的工作方向是研究一种用于 SRAM 存储单元的位翻转算法,该算法应在不改变电路逻辑功能

的前提下,尽可能使 FPGA 中有更多 SRAM 单元的存储值为“0”,从而可进一步降低 FPGA 中 SRAM 的静态功耗。

参考文献

- [1] 杨海钢,孙嘉斌,王慰. FPGA 器件设计技术发展综述. 电子与信息学报, 2010, 32(3): 714-726
- [2] 王前,吕东强. 分步式并行 MQ 编码及其 VLSI 设计. 高技术通讯, 2009, 19(3): 247-252
- [3] Noji R, Fujie S. An FPGA-Based Fail-Soft System with Adaptive Reconfiguration. In: Proceedings of the 2010 IEEE 16th International On-Line Testing Symposium, Corfu Island, Greece, 2010. 127-132
- [4] Tuan T, Rahman A. A 90-nm low-power FPGA for battery-powered applications. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2007, 26(3): 296-300
- [5] Kureshi A K, Hasan M. Leakage power estimation and minimization in configurable logic block of FPGA. In: Proceedings of the International Conference on Computer and Communication Engineering, Kuala Lumpur, 2008. 270-274
- [6] Tuan T, Lai B. Leakage power analysis of a 90nm FPGA. In: Proceedings of the IEEE Custom Integrated Circuits Conference, San Jose, CA, 2003. 57-60
- [7] Azam T, Cheng B. Variability Resilient Low-power 7 T-SRAM Design for nano-Scaled Technologies. In: Proceedings of the 11th International Symposium on Quality of Electronic Design, San Jose, USA, 2010. 9-14
- [8] Elakkumanan P, Thondapu C. A Gate Leakage Reduction Strategy for Sub-70nm Memory Circuit. In: Proceedings of the IEEE Dallas/CAS Workshop, Richardson, USA, 2004. 145-148
- [9] Razavipour G, Afzali-Kusha A. Design and Analysis of Two Low-Power SRAM Cell Structures. *IEEE Transactions on Very Large Scale Integration Systems*, 2009, 17(10): 1551-1555
- [10] Powell M, Yang S. Gated-Vdd: A Circuit Technique to Reduce Leakage in Deep-Submicron Cache Memories. In: Proceedings of the 2000 IEEE International Symposium on Low Power Electronics and Design, Rapallo, Italy, 2000. 90-95
- [11] Chiang Y T, Chang Y J. A New SRAM Cell Design for both Power and Performance Efficiency. In: Proceedings of the 2009 IEEE International Workshop on Memory Technology, Design, and Testing, Hsinchu, China, 2009. 13-19
- [12] Amelifard B, Fallah F. Low-leakage SRAM design with

- dual-Vt transistors, In: Proceedings of the International Symposium on Quality of Electronic Design, Washington, DC, USA, 2006. 729-734
- [13] Amelifar B, Fallah F, Pedram M. Reducing the Sub-threshold and Gate-tunneling Leakage of SRAM Cells using Dual-Vt and Dual-Tox Assignment, In: Proceedings of the Design Automation and Test in Europe, Munich, Germany, 2006. 1-6
- [14] Srinivasan S, Gaysen A. Improving soft-error tolerance of FPGA configuration bits. In: Proceedings of the 2004 IEEE International conference on Computer-aided design, Washington, DC, USA, 2004. 107-110
- [15] Sanyal A, Rastogi A. An Efficient Technique for Leakage Current Estimation in Nanoscaled CMOS Circuits Incorporating Self-Loading Effects. *IEEE Transactions on Computers*, 2010, 59(7): 922-932
- [16] Kursun V, Friedman E G. 多电压 CMOS 电路设计. 北京: 机械工业出版社, 2006
- [17] Mukhopadhyay S, Neau C. Gate leakage reduction for scaled devices using transistor stacking. *IEEE Transactions on Very Large Scale Integration Systems*, 2003, 11(4): 716-730
- [18] 郑晓虎, 黄安平. 稀土元素掺杂的 Hf 基栅介质材料研究进展. *物理学报*, 2011, 60(01): 1-9
- [19] Zhang F, Zhang G, Yi Y. An Effective Approach For Subthreshold And Gate Leakage Power Estimation Of SRAM. In: Proceedings of the IEEE International Symposium on Integrated Circuits (ISIC07), Singapore, 2007. 365-368
- [20] Karimi G, Alimoradi A. MTSCStack: An Effective Technique to Decrease Leakage Power in VLSI Circuits. In: Proceedings of the IEEE International Conference on Electronic Devices, Systems & Applications, Kuala Lumpur, Malaysia, 2010. 116-120
- [21] 郑丹丹. 嵌入式 CPU 的纳米尺度 SRAM 设计研究: [博士学位论文]. 浙江: 浙江大学信息与电子工程学系, 2009

Research on design of low-leakage SRAM cells for FPGA

Li Liewen, Gui Weihua

(School of Information Science and Engineering, Central South University, Changsha 410075)

Abstract

Aiming at the increasingly serious power dissipation problem of field programmable gate arrays (FPGA) caused by their growing integration and speed, the paper proposes a new design method for low power static random access memory (SRAM) suitable for FPGA. According to the characteristic that most SRAM cells store "0" when FPGA is configured and based on the analysis of the sources of main leakage current when SRAM cells store "0", the proposed method reduces the leakage power dissipation of SRAM cells when the cells store "0" by using the dual threshold voltage technique and the dual oxide thickness technique. The method has the advantage of improving the static noise margin of SRAM without increasing the circuit delay and area. The simulation results show that the leakage power of the SRAM cell designed with the new design method can be reduced by more than 41.32% of that of conventionally designed SRAM cells while maintaining other performance.

Key words: low power, static random access memory (SRAM), leakage power, field programmable gate array (FPGA)