

一种 7-8 双模预分频 $\Delta\Sigma$ Fractional-N 频率综合器^①

王文波^{②*} 毛陆虹^{③*} 肖新东^{**} 谢 生* 张世林*

(* 天津大学电子信息工程学院 天津 300072)

(** 中国兵器工业系统总体部 北京 100089)

摘 要 设计了一种应用于超高频射频识别(UHF RFID)阅读器的 $\Delta\Sigma$ Fractional-N 频率综合器。该频率综合器采用开关电容阵列结构实现了调谐范围为 750 ~ 950MHz 的压控振荡器,使用电流模式逻辑(CML)结构 D 触发器实现了 7-8 双模预分频,频率精度设计为 1.98kHz,电路基于 UMC 0.18 μ m 2 层多晶 6 层金属 CMOS 工艺实现,芯片面积为 1700 μ m $\times$ 1950 μ m。仿真结果表明系统建立时间小于 100 μ s。系统相位噪声的 Matlab 仿真结果为 -115dBc/Hz@500kHz。测试结果显示电源电压 1.8V 时功耗 15mA,总输出相位噪声为 -111.45dBc/Hz@500kHz,测试的输出频率较好地符合预置输出频率。

关键词 超高频射频识别(UHF RFID)阅读器,频率综合器,压控振荡器(VCO),7-8 双模预分频, $\Delta\Sigma$ 调制器

0 引言

随着电子通讯技术的飞速发展,频率综合器在通信系统中扮演着越来越关键的角色。频率综合器按频率合成方法的不同分为直接模拟频率综合器、直接数字频率综合器和锁相环路频率综合器,其中最后一种因体积小、集成度高、工作频率高、相位噪声和功耗低而成为当今主流技术。频率综合器有多方面的应用,因而对它的研究不断深入。文献[1]实现了用于多路输入多路输出无线局域网收发机芯片的 $\Delta\Sigma$ 小数频率综合器。文献[2]实现了采用差分电路结构的低噪声频率综合器,并成功地将其应用于移动通讯系统。文献[3]给出了带有正交压控振荡器(QVCO)的适用于多标准无线接收机的小数频率综合器,其采用 0.13 μ m CMOS 工艺实现,并符合 GSM、WCDMA、WLAN 等多个通信标准。本研究设计了一种应用于超高频射频识别(ultra high frequency radio frequency identification, UHF RFID)阅读器的 $\Delta\Sigma$ Fractional-N 频率综合器,并给出了其测试结果。

1 UHF RFID 阅读器频率综合器性能指标

RFID 的通信机制及结构使 RFID 阅读器芯片的设计要求极高。发射机要有极高的邻道抑制能力,同时接收机又要有极强的抗干扰能力,这就要求频率综合器有极高的频率精度和准确度。这样,就需要对应用于 UHF RFID 阅读器系统的频率综合器的相位噪声、建立时间、调谐范围及频率精度等性能指标提出相应的要求。

1.1 相位噪声

单芯片 UHF RFID 阅读器总体结构图如图 1 所示,其中频率综合器为系统提供本振信号。根据我国对发射模板的要求与 Gen2 协议中 DI 环境发射模板的比较,第一邻近信道必须有 40dB 以上的抑制能力,若功率测量带宽为 3kHz,则对于发射机,有

$$L(125\text{kHz} < f < 250\text{kHz}) < -40\text{dBc} - 10\log_{10}(3\text{kHz}) \\ = -74.8\text{dBc/Hz@125kHz} \quad (1)$$

$$L(125\text{kHz} < f < 250\text{kHz}) < -60\text{dBc} - 10\log_{10}(3\text{kHz}) \\ = -94.8\text{dBc/Hz@250kHz} \quad (2)$$

其中, L 代表通信信道的第一邻近信道,而在接收机中,相位噪声的指标要求主要来自于阻塞信号和邻

① 863 计划(2008AA04A102)资助项目。

② 男,1984 年生,博士生;研究方向:RFID 技术与应用;E-mail: watertightwang@yahoo.com.cn

③ 通讯作者,E-mail: lhmao@tju.edu.cn

(收稿日期:2012-02-06)

近信道干扰信号两个方面。这两个系统指标都对阅读器中频率综合器的噪声指标提出了要求。

信号带宽为 BW , 信号功率为 P_s , 并假定混频器的转换增益为 1 则本振的相位噪声(PN)可以表示为

$$PN = P_s - P_i - 10 \cdot \log_{10}(BW) - SNR \quad (3)$$

其中 SNR 为信噪比, P_s 为渗透到工作信道上的能量, P_i 为离载波距离 Δf 的地方的干扰信号的功率。由于不同的编码方式有不同的 SNR 和等效噪声带宽, 对于 FM0 编码 $SNR = 8.8\text{dB}$, 等效噪声带宽 ENB 为 1.28MHz , 其相位噪声要求为

$$\begin{aligned} L(f > 1\text{MHz}) \\ &\leq -90 - (-35) - 8.8 - 10\log_{10}(1.28\text{MHz}) \\ &= -124.8\text{dBc/Hz}@1\text{MHz} \end{aligned} \quad (4)$$

其中 -90 为接收机的灵敏度, -35 为带内阻塞差数。由以上发射和接收链路的分析可以看出, UHF RFID 阅读器对频率综合器的相位噪声的要求还是比较高的。

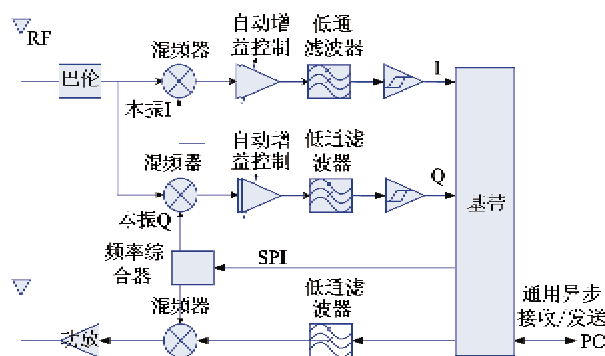


图1 单芯片 UHF RFID 阅读器结构

1.2 频率精度、频率准确度和建立时间

频率综合器的输出是不连续的, 相邻两个输出频率的最小间隔为频率精度。频率精度通常是由通信系统标准规范所决定的。我国规定 UHF RFID 系统每信道占用带宽为 250kHz , 所以频率综合器的频率精度要求在 250kHz 以下。

频率准确度是频率综合器实际频率与标准输出频率之间的偏差, 分为绝对准确度与相对准确度, 相对准确度可以表示为

$$\Delta f / f_o = (f - f_o) / f_o \quad (5)$$

对于阅读器系统可以初步定为 $\pm 10\text{ppm}$ 。

对于阅读器系统来讲, 建立时间是频率综合器信道变化所需要的稳定时间, 结合频率综合器的建立时间和相位噪声的关系, 本文设计的频率综合器的建立时间设定为 $100\mu\text{s}$ 。

2 $\Delta\Sigma$ Fractional-N 频率综合器结构

基本的锁相环型频率综合器主要由 4 个模块组成: (1) 鉴频鉴相器 (PFD) + 电荷泵 (CP); (2) 低通滤波器 (LPF); (3) 压控振荡器 (VCO); (4) 可编程分频器^[4]。由于整数分频锁相环的输出频率精度等于一个参考时钟频率, 比如 13MHz 。对于射频接收机中常用的无线通信协议, 例如 GSM, 信道间距是 200kHz , 这个频率精度显然不能满足系统的需求。可以通过降低参考频率的方法来提高频率精度, 但是, 为满足系统稳定性和连续 S 域模型的准确性, 环路带宽必须小于参考频率的 $1/10$ 。可是小的环路带宽又会增加锁相环的锁定时间, 在这样的情况下就提出了分数分频的锁相环, 它的频率精度就可以是参考频率的分数倍而无需降低参考频率以保证锁相环的快速锁定。

本文设计使用最常用的分数分频结构——基于 $\Delta\Sigma$ 调制器 (delta sigma modulator) 的分数分频锁相环^[5] (如图 2 所示)。分数分频是通过 $\Delta\Sigma$ 调制器和多模分频器来实现的, 若 $\Delta\Sigma$ 调制器是 k 位的, 输入初始数据为 K 则有系统的平均分频比为

$$N_{\text{平均}} = N + \frac{K}{2^k} \quad (6)$$

可见其频率精度为 $\frac{1}{2^k} \cdot f_{\text{ref}}$ (其中 f_{ref} 为参考频率), 即可通过提高 $\Delta\Sigma$ 调制器的位数而不改变 f_{ref} 来提高频率精度以避免建立时间的增加。本文设计的 $\Delta\Sigma$ 小数频率综合器的参考频率为 13MHz , $\Delta\Sigma$ 调制器的位数为 16 位, 由上式可知本文设计的频率综合器频率精度为 1.98kHz , 完全满足阅读器系统的要求。

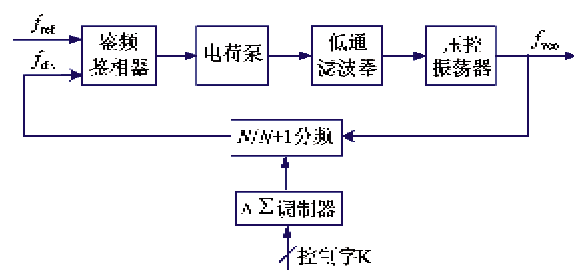


图2 $\Delta\Sigma$ 小数频率综合器结构

3 电路原理与实现

3.1 压控振荡器 (VCO)

为了满足 UHF RFID 阅读器系统较高的相位噪声要求, 本文采用的电感电容压控振荡器 (LCVCO) 互补结构^[6-8] (如图 3 所示), 它利用 NMOS 互偶对

和 PMOS 互偶对来提供负阻,最大电流为 $I = VDD/R_p$ (其中 VDD 为 VCO 的电源电压, R_p 为 LC 谐振网络的等效并联电阻),在电路中得到了复用,为电路节省了功耗。在相同的电流偏置下,采用电流复用技术的 LC 振荡器可以提供更大的负阻,振荡幅度也就越大,获得的噪声性能越好。图 3 中的负阻可以表示为 $-1/(g_{mn} + g_{mp})$, g_{mn} 和 g_{mp} 分别为 N 管和 P 管的跨导,振荡器的起振条件是有源负阻提供的能量要大于谐振腔等效并联电阻消耗的能量,

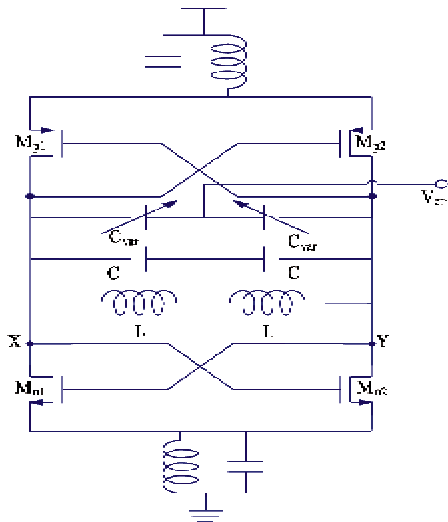


图 3 互补型 LCVC0

量,这样振荡器起振的条件可以表示为 $R_p > 1/(g_{mn} + g_{mp})$,为了使振荡稳定,一般要求 $R_p > 3/(g_{mn} + g_{mp})$ 。由于二次谐波噪声电流对输出的噪声影响很大,图 3 中所示的 LCVC0 采用噪声滤除技术,即在二次谐波电流的通路上加了一个 LC 谐振滤波对电路。通常把这个谐振电路的谐振频率调整在二次谐波频率处^[9,10],谐振电路相当于高阻抗元件,阻止二次谐波噪声进行混频输出,有效地降低了相位噪声。图 4 的仿真结果表明在频偏

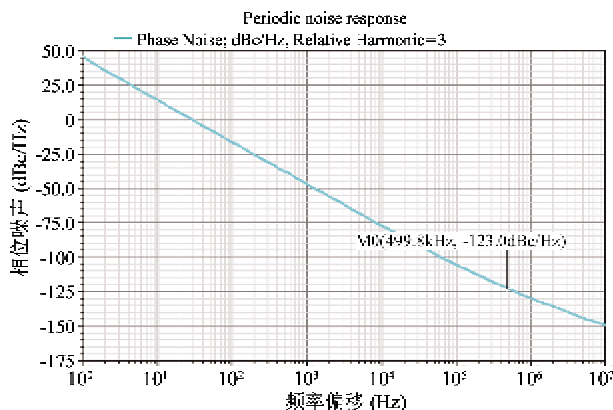


图 4 VCO 的相位噪声

为 500kHz 时,VCO 的相位噪声低至 -130.4dBc/Hz 。锁相环的调谐范围与输出的相位噪声是相互矛盾的。VCO 的增益 K_{vco} 的值越大,输出的相位噪声就越差。为了降低 K_{vco} ,需要采用数字开关电容阵列把总的调谐范围分为若干个频带段实现多带 VCO。本论文采用了 4 个固定电容,即频带数为 $2^4 = 16$ 。电容分别由 4 个 MOS 开关进行控制,MOS 管的开关信号由数字选带模块生成。图 5 为多带 VCO 的频率调谐特性曲线,可以看出,在保证 VCO 频率调谐范围不变的情况下 K_{vco} 下降到 30MHz/V 。开关电容阵列的控制信号是由选带控制电路产生的。选带控制电路结构的原理是把 VCO 的控制电压 V_{ctrl} 与两个参考电压通过迟滞比较器进行比较,比较结果

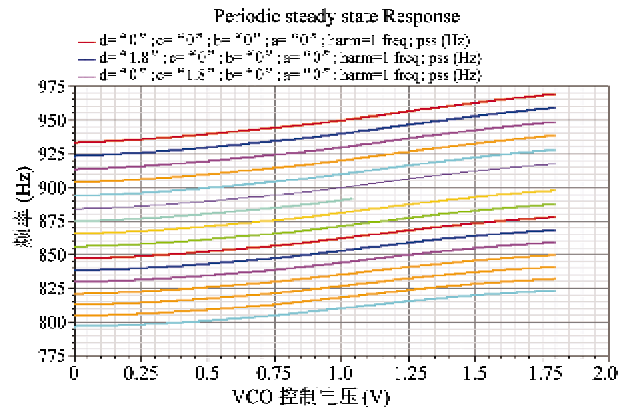


图 5 多带 VCO 调谐特性曲线

通过数字选带结构处理输出 4 位选带控制信号去控制开关电容阵列。数字选带模块的控制时钟要选择适当,如果时钟选择过快可能会出现跳带错误反而增加了建立时间,时钟选择过慢同样会增加系统的建立时间。

3.2 7-8 双模分频器电路设计

由于 VCO 的输出频率较高,本文设计的输出最高频率达到 950MHz,一般的数字逻辑电路很难工作在这么高的频率下,因此需要高速的分频器先将 VCO 输出的较高频率分频到较低的频率,再用结构简单的功耗低数字逻辑电路进行分频。本文采用普遍使用的电流模式逻辑 (current mode logic, CML) 结构的 D 触发器^[11]构成 D 触发器的锁存器电路,如图 6 上半部分所示。两个 CML 锁存器构成一个具有两分频的高速 D 触发器。本文设计的预分频结构是通过两个 CML 结构 D 触发器先实现 4 分频,同时输出 4 路相位相差 90° 的正交信号,4 路正交信号再经过相位切换结构和一个真单时钟 (true single phase clock, TSPC) 结构的 2 分频电路实现 7、8 分

频或者 8,9 分频。4 路正交信号进行切换时从高电平向低电平切换可以实现 7,8 分频。

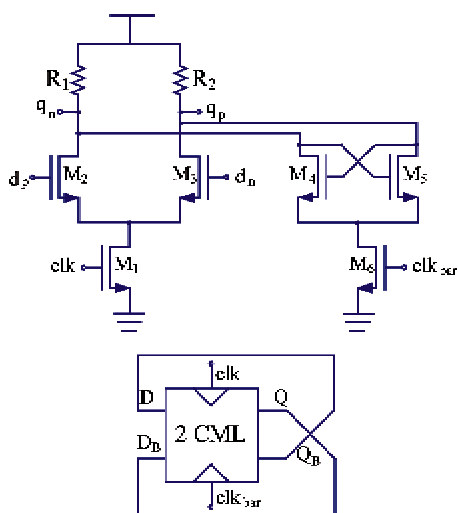


图 6 CML 锁存器电路以及由两个 CML 锁存器构成的高速 D 触发器二分频电路

图 7 为 7,8 预分频电路结合数字 P、S 计数器实现的整个分频电路结构。当 3 位 S 计数器没有溢出时切换电路不进行切换 f_{out} 为 f_{vco} 的 8 分频,当 S 计数器有溢出信号时进行相位切换 f_{out} 为 f_{vco} 的 7 分频, f_{out} 经过 4 位 P 计数器的分频后输出为整体分频器的输出。VCO 的输出范围是 800 ~ 950MHz,参考频率为 13MHz 所以要求的分频比为 61 ~ 74。通过分析可知整体的分频比为 $N = 7P + S$, P 和 S 必须满足 $P \geq S$, 否则 PS 计数器会出现错误。对于 61 分频可以使 $P = 8, S = 5$; 而对于 74 分频,可令 $P = 10, S = 4$ 。

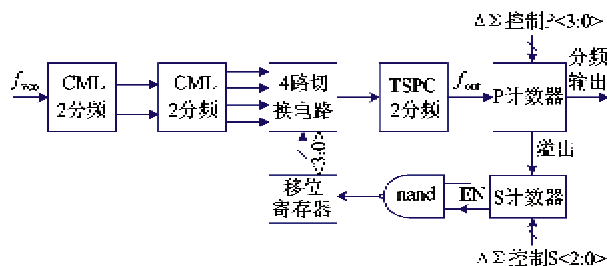


图 7 预分频和 P、S 计数器构成的整体分频电路

图 8 显示了 VCO 输出信号、经过预分频后的信号以及移位寄存器输出的控制信号。可以看出,当移位寄存器的使能信号为低电平时,移位寄存器和相位切换电路不工作,此时预分频电路为 8 分频;当移位寄存器的使能信号处于高电平时,移位寄存器开始工作,促使相位切换电路开始进行相位切换,

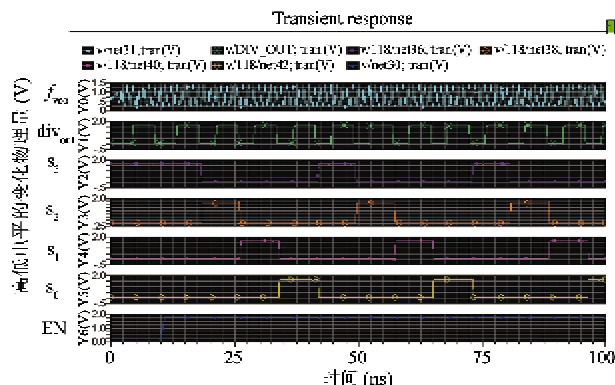


图 8 预分频输出信号和相位切换控制信号

这时预分频电路为 7 分频。系统的输入分频比采用 $\Delta\Sigma$ 调制器进行调制。 $\Delta\Sigma$ 调制器的作用是在产生随机量化的同时实现低频噪声抑制,从而提高了频率合成器的相位噪声性能^[12]。本文采用的 $\Delta\Sigma$ 调制器是基于数字累加器的 Mash 1-1-1 结构,输入累加器的数字流通常是 1 位的,例如 0 或者 1,这样降低了噪声和逻辑的复杂性。此结构的输出范围在 -3 ~ 4 之间,平均值在 0 ~ 1 之间,稳定的输入范围也在 0 ~ 1 之间。

3.3 鉴频鉴相器、电荷泵

对于使用电荷泵的锁相环频率综合器,本文采用三态门的鉴频鉴相器(PFD)。由 RS 触发器构成的 con-PFD 电路结构如图 9 所示^[13]。PFD 后面是电荷泵(CP)电路,由于存在输入电容,所以管子开启需要一段时间。如果相位差较小将不足以开启 CP 电路而产生死区,另外,与非门两输入端的开启电平的差异也会产生死区。图 9 中的 PFD 采用反相器链的方法增加触发器的复位延迟时间以消除死区。

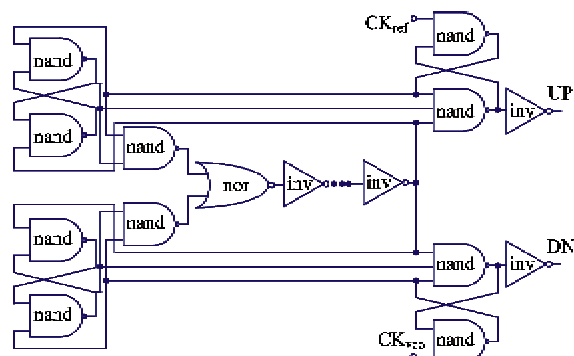


图 9 RS 触发器构成的 con-PFD

图 10 为本文采用的电荷泵结构^[14]。图中的 MN5、MP5、MN6、MP6 为源漏相连的 CMOS 管,可以有效地消除钟馈通效应和沟道电荷注入效应。为了

解决电流源管和开关管之间的节点的电荷分享效应,这里采用附加一个 dummy 电路使这个节点始终与开启的开关管相连,从而避免电荷在这个节点形成积累,有效地控制了电荷分享效应。

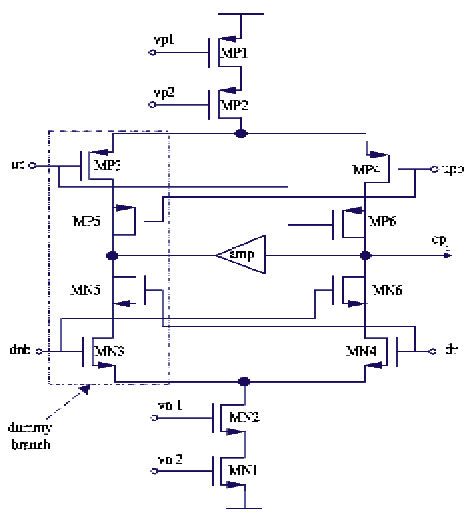


图 10 电荷泵电路

4 仿真与测试结果

采用 spectre-verilog 数模混合仿真方法对频率综合器进行了瞬态仿真。输出结果如图 11 所示,建立时间小于 $100\mu\text{s}$,完全符合通信协议的要求。最后用 Matlab 进行各个模块和系统的相位噪声仿真,如图 12 所示频率综合器的总相位噪声为 $-115\text{dBc}/\text{Hz}$ @ 500kHz ,符合预先设计指标要求。

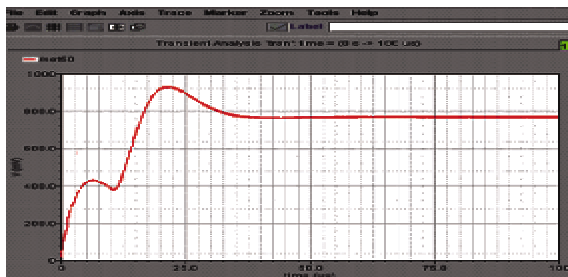


图 11 频率综合器锁定过程

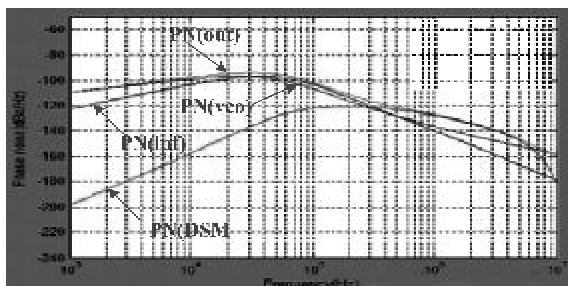


图 12 各模块的噪声性能

本文设计的 $\Delta\Sigma$ Fractional-N 频率综合器采用 UMC $0.18\mu\text{m}$ 2P6M CMOS 工艺流片,芯片面积为 $1700\mu\text{m} \times 1950\mu\text{m}$,如图 13 所示。最终测得整体功

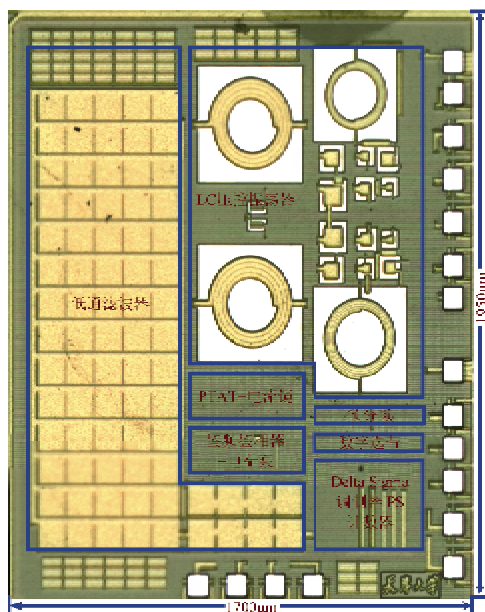


图 13 频率综合器芯片照片

耗 15mA ,电源电压 1.8V 。使用频谱仪进行了输出频谱和相位噪声的测试。由于数字部分复位后预置分频比设定为 61.5,片外参考频率为 13MHz ,理想的输出频率为参考频率和分频比的乘积,为 799.5MHz 。测试结果如图 14 所示,输出功率为 1.72dBm ;输出频率为 799.7168MHz ,与理想值有微小偏差;测试 500kHz 频率偏移处的相位噪声为 $-111.45\text{dBc}/\text{Hz}$,比 Matlab 仿真结果 $-115\text{dBc}/\text{Hz}$ 略高。

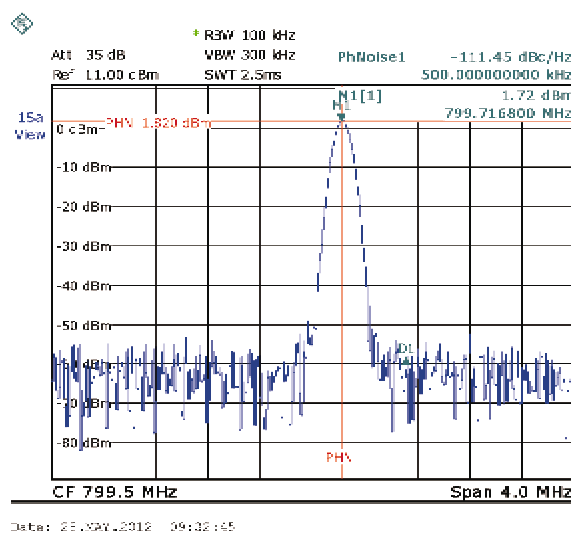


图 14 测试输出频谱与 500kHz 频偏处相位噪声

5 结 论

本文结合相关协议规定,通过分析 UHF RFID 阅读器系统的指标确定了频率综合器的相位噪声、建立时间、调谐范围和频率精度等性能指标,并使用 Matlab 进行了相位噪声的系统仿真,运用 spectre 仿真器对 VCO、预分频等模拟模块进行了相关性能仿真,用 spectre-verilog 进行整体数模混合仿真,并给出了频率综合器建立时间曲线。电路采用 UMC 0.18 μm 2P6M CMOS 工艺流片实现,频谱特性和相位噪声性能测试结果较好地符合理论分析和仿真结果。

参考文献

- [1] Rogers J W M, Dai F F, Cavin M S, et al. A multiband $\Delta\Sigma$ fractional-N frequency synthesizer for a MIMO WLAN transceiver RFIC. *IEEE Journal of Solid-State Circuits*, 2005, 40(3): 678-689
- [2] Lee S, Kim B, Lee K. A fully integrated low-noise 1-GHz frequency synthesizer design for mobile communication application. *IEEE Journal of Solid-State Circuits*, 1997, 32(5): 760-765
- [3] Huang D, Li W, Zhou J, et al. A frequency synthesizer with optimally coupled QVCO and harmonic-rejection SSB mixer for multi-standard wireless receiver. *IEEE Journal of Solid-State Circuits*, 2011, 46(6): 1307-1320
- [4] Sharaf K M. A CMOS fractional-N frequency synthesizer for low-power RF applications. In: Proceedings of the 11th IEEE Mediterranean Electrotechnical Conference, Cairo, Egypt, 2002. 527-531
- [5] Miller B, Conley R. A multiple modulator fractional divider. *IEEE Transactions on Instrumentation and Measurement*, 1991, 40(3): 578-583
- [6] Liu Q, Sun J T, Yoshimasu T, et al. 15 GHz-band low phase-noise LC-VCO with second harmonic tunable filtering technique. In: Proceedings of the IEEE 20th International Symposium on Personal, Indoor and Mobile Radio Communications, Tokyo, Japan, 2009. 1592-1595
- [7] Li Z, O K K. A low-phase-noise and low-power multi-band CMOS voltage-controlled oscillator. *IEEE Journal of Solid-State Circuits*, 2005, 40(6): 1296-1302
- [8] Yun S J, Lee H D, Kim K D, et al. A wide-tuning dual-band transformer-based complementary VCO. *IEEE Microwave and Wireless Components Letters*, 2010, 20(6): 340-342
- [9] Buonomo A, Lo Schiavo. Finding the Tuning Curve of a Complementary VCO. In: Proceedings of the 14th IEEE International Conference on Electronics, Circuits and Systems, Marrakech, Morocco 2007. 1099-1102
- [10] Shin H, Kim H. Extraction Technique of differential second harmonic output in CMOS VCO. *IEEE Microwave and Wireless Components Letters*, 2007, 17(5): 379-381
- [11] Singh U, Green, M M. High-frequency CML clock dividers in 0.13- μm CMOS operating up to 38 GHz. *IEEE Journal of Solid-State Circuits*, 2005, 40(8): 1658-1661
- [12] Chen C Y, Ho J J, Liou W R, et al. A 5.2GHz CMOS fractional-n frequency synthesizer with a MASH delta-sigma modulator. In: Proceedings of the IEEE International 51st Midwest Symposium on Circuits and Systems, Knoxville, USA, 2008. 738-742
- [13] Lee G B, Chan P K, Siek L. A CMOS phase frequency detector for charge pump phase-locked loop. In: Proceedings of the 42nd Midwest Symposium on Circuits and Systems, Las Cruces, USA, 1999. 601-604
- [14] Zhao H, Ren J Y, Zhang Q L. A CMOS PLL using current-adjustable charge-pump and on-chip loop filter with initialization circuit. In: Proceedings of the 5th International Conference on ASIC, Beijing, China, 2003. 728-731

A 7-8 dual pre-divider $\Delta\Sigma$ fractional-N frequency synthesizer

Wang Wenbo*, Mao Luhong*, Xiao Xindong**, Xie Sheng*, Zhang Shilin*

(* School of Electronics and Information Engineering, Tianjin University, Tianjin 300072)

(** The Macro-System Engineering Department of CNGC, Beijing 100089)

Abstract

A $\Delta\Sigma$ fraction-N frequency synthesizer for single chip UHF RFID (ultra high frequency radio frequency identification) readers was designed and implemented. The design of the frequency synthesizer adopts a switch-capacitor array to achieve its multiple band voltage controlled oscillator and tuning range of 750 ~ 950MHz, and uses a current module logic (CML) D flip-flop to realize a dual 7-8 pre-divider. The frequency accuracy of the frequency synthesizer was designed for 1.98kHz. The simulation result showed the setup time of the system was less than 100 μs , and the Matlab simulation showed the system phase noise was -115dBc/Hz@500kHz. This synthesizer was fabricated in the UMC 0.18 μm double-poly six-metal CMOS process technology, with a die size of 1700 μm × 1950 μm . The experimental results showed that the chip dissipated a current of 15mA current under a supply voltage of 1.8V, the total phase noise was -111.45dBc/Hz@500kHz, and the output frequency was coincident with the preset.

Key words: ultra high frequency radio frequency identification (UHF RFID) reader, frequency synthesizer, voltage controlled oscillator (VCO), 7-8 dual pre-divider, $\Delta\Sigma$ modulator