

小规模在线演化组合电路的 ESD 主动防护特性^①

满梦华^{②*} 原亮^{**} 巨政权^{*} 常小龙^{*} 施威^{**} 谢方方^{**}

(^{*} 军械工程学院静电与电磁防护研究所 石家庄 050003)

(^{**} 军械工程学院计算机工程系 石家庄 050003)

摘要 利用电磁环境效应实验与行为级失效建模方法,研究了在线演化组合逻辑电路的静电放电(ESD)主动防护特性。首先,基于内进化虚拟重配置技术和笛卡儿遗传编码思想,提出了一种门级在线可重构组合电路系统模型,结合非支配多目标演化算法和演化策略实现了组合电路的多目标演化设计方法。进而,参照国际电工委员会静电放电抗扰度测试标准分析了电路单元的受扰规律并建立了行为级失效模型。最后,选择 2 位乘法器、2 位加法器及北卡罗莱纳微电子中心(MCNC)基准库中的小规模组合逻辑电路为对象,在多种 ESD 干扰环境下实验证明了演化电路具有高可靠和强容错的主动防护特性。

关键词 电磁防护仿生,静电放电(ESD),组合逻辑,演化电路,主动防护

0 引言

静电放电(electrostatic discharge, ESD)是一种常见的近场危害源,其放电过程可形成高电压、强电场、瞬时大电流,同时会产生热、光、电、磁等各种电磁环境效应,极易引起电子系统中敏感单元产生逻辑翻转或功能失效的现象^[1]。与此同时,随着半导体工艺的演进和设计技术的革新,集成电路的集成度和工作频率不断升高、供电电压不断降低、ESD 防护单元的阈值电压不断减小,这使得电子系统的 ESD 敏感度变得越来越高。因此,研究具有高可靠性和强容错特性的 ESD 防护技术已成为静电防护领域内的一项重要课题^[2]。

为研究这一课题,国外学者借鉴了鲁棒性普遍存在于生物系统的各个层次,表现为结构自组织、故障自修复和环境自适应^[3]的现象,受此现象启发,他们结合演化算法与可重构器件,搭建了具有在线自组织功能的可演化电路系统,形成了演化硬件(evolvable hardware, EHW)技术,现已设计出多款原型系统并进行了相关环境效应实验^[4]。文献[5]设计了板级独立进化系统(stand-alone board level evolvable system, SABLES),并在极端温度和电离辐射环境下验证了系统的自修复能力。文献[6]模拟

细胞的组织结构设计出软硬件资源均可重构的集成阵列系统(reconfigurable integrated system array, RISA),并将其应用于胚胎电子容错系统。文献[7]设计了一种具有多态组件的可重构集成电路芯片(reconfigurable polymorphic module, REPOM032),并研究了多态电路对于供电电压波动的适应能力。文献[8,9]首次将此技术引入电磁防护领域,设计了电路自组织实验系统并探讨了其在电磁防护仿生研究领域内的应用前景。基于此思路,本文进一步研究了在线演化组合逻辑电路的 ESD 主动防护特性。

1 实验装置与方法

为了提高演化电路 ESD 防护特性研究的客观性与可重复性,本研究采用电磁环境效应实验、电路行为级失效建模和故障注入相结合的实验方法。首先,基于演化硬件内进化设计领域广泛应用的虚拟重配置电路技术^[10]和笛卡儿遗传编码思想^[11],设计出一种易于商业集成电路芯片实现的在线演化组合逻辑电路系统模型。进而,参考国际电工委员会制定的 ESD 抗扰度测试标准^[12],对可重构电路单元进行 ESD 注入干扰实验,利用示波器检测并记录

① 国家自然科学基金(61172035)资助项目。

② 男,1984 年生,博士生;研究方向:电磁防护理论与技术,电磁防护仿生;联系人, E-mail: manmenghua@hotmail.com
(收稿日期:2011-11-10)

其功能受扰规律。根据以上结果建立起电路单元的行为级失效模型,用于模拟不同放电电压 ESD 事件所引起的电路受扰模式。最后,将失效模型随机注入到演化电路中,不同比例的失效节点代表不同等级的 ESD 干扰环境,以演化硬件领域内广泛采用的 2 位乘法器、2 位加法器以及北卡罗莱纳微电子中心 (Microelectronics Center of North Carolina, MCNC) 基准库中的组合电路 majority 和 c17 为实验对象^[13],在注入失效比例逐渐增加的情况下,进行功能电路的演化实验,根据演化结果的成功率、电路规模和电路适应度分析演化电路的 ESD 防护性能。

1.1 在线演化电路系统设计

在线演化电路系统由演化控制单元和可重构电路单元组成。控制单元执行演化算法,在不依赖先验知识和人工干预的情况下自动、实时地调整可重构电路单元的拓扑结构,在实际运行环境中进行功能评价;可重构单元由柔性可编程控制的多功能数字逻辑 (logic cell, LC) 计算资源和互连资源构成,并按笛卡儿遗传编码的形式组成一个冗余电路模型。其中,控制单元选用嵌入式处理器,柔性计算资源选用可配置多功能逻辑门芯片,互连资源选用交叉点开关阵列芯片,实现了一种通用的在线演化组合逻辑电路系统模型,如图 1 所示。

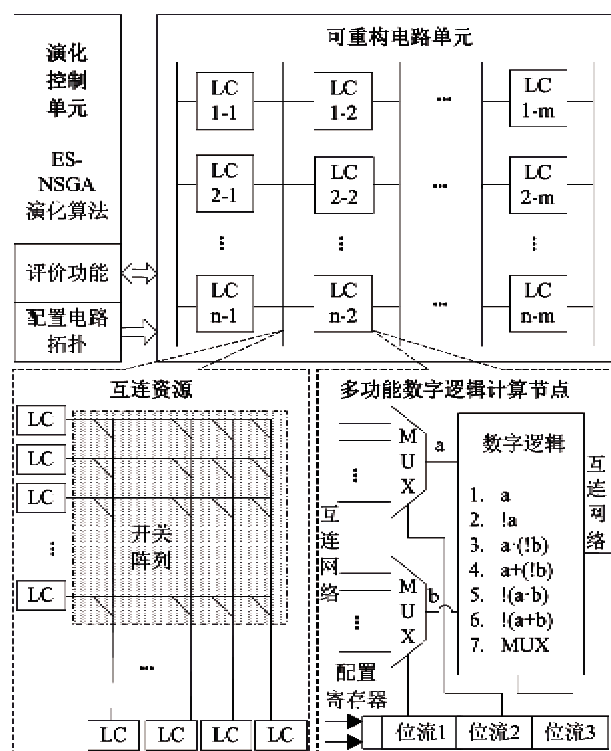


图 1 在线演化组合电路系统模型

本文将 $(1+\lambda)$ 演化策略^[14]和多目标非支配演化算法^[15]相结合而实现组合电路多目标演化算法。首先随机生成规模为 $(1+\lambda)$ 的初始种群 S ,对种群 S 中所有个体进行适应度评估,选择适应度最高的精英个体,判断精英个体的适应度是否为 1,如果是就将其移入多目标优化种群池 P ,否则,将其变异而产生 λ 个新个体并替换种群 S 内的非精英个体。直到优化种群 P 的规模达到 N ,对 P 进行遗传操作 (锦标赛选择、单点交叉和多点变异) 生成种群 Q ,合并种群 P 和 Q ,计算所有个体的非劣等级和拥挤距离并按非劣等级升序排列,同一非劣等级内的个体按拥挤距离降序排列,选择前 N 个较优个体替换种群 P ,直到达到优化代数。其流程图如图 2 所示。

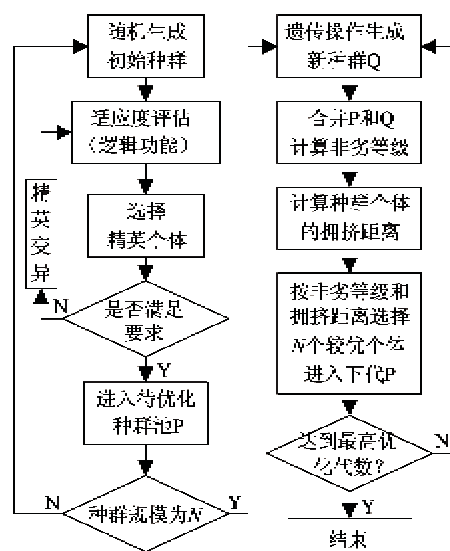


图 2 组合电路多目标演化算法流程图

适应度表示个体电路完成既定逻辑运算功能的程度,以其功能真值表与目标函数真值表之间的汉明距离计算,计算方法如式

$$f = \left(1 - \frac{1}{2^n \cdot m} \cdot \sum_{i=0}^{2^n-1} \sum_{j=0}^{m-1} |d_{ij} - y_{ij}|\right) \cdot 100\% \quad (1)$$

所示。其中, n 和 m 分别代表目标函数输入和输出端口的位数, d_{ij} 代表目标函数真值表中第 i 行、第 j 列的数值, y_{ij} 代表个体电路功能真值表中第 i 行、第 j 列的数值, f 表示此个体电路适应度的归一化结果。

非劣等级和拥挤距离用于表示种群个体在多目标函数空间中优劣性,下面给出计算方法。

设函数向量 $\vec{f}(x) = (f_1(x), f_2(x), \dots,$

$f_n(x)$), 对于自变量的两组取值 X 和 Y , 称函数向量 $\vec{f}(X)$ 非劣于 $\vec{f}(Y)$, 或 $\vec{f}(X)$ 支配 $\vec{f}(Y)$, 记为 $\vec{f}(X) \geq \vec{f}(Y)$, 当且仅当

$$\begin{cases} \forall i \in \{1, 2, \dots, n\} : f_i(X) \geq f_i(Y) \\ \exists j \in \{1, 2, \dots, n\} : f_j(X) > f_j(Y) \end{cases} \quad (2)$$

种群内所有个体的函数向量值组成一个向量集 F , F 中的全体非劣向量组成的向量集 P 称为 F 的 Pareto 集, 即

$$P = \{\vec{f}(X) \in F \mid \neg \exists \vec{f}(Y) \in F : \vec{f}(Y) > \vec{f}(X)\} \quad (3)$$

而 Pareto 集称为非劣第一等级。在其余向量集中, 只受第一等级向量支配的个体属于非劣第二等级, 其余等级依次类推。

拥挤距离表示某个体与同一非劣等级中其余个体在目标函数映射空间中的相对位置。取值为多目标函数空间中与此个体相邻的两个体间的直线距离, 即

$$D_j = \sum_{i=1}^n |f_i^{+1}(x) - f_i^{-1}(x)| \quad (4)$$

其中, D_j 表示个体 j 的拥挤距离, $f_i^{-1}(x)$ 表示个体 $j-1$ 的第 i 个目标函数值。

1.2 ESD 干扰效应与行为级建模

ESD 干扰效应实验配置如图 3 所示, ESD 模拟器可产生满足标准要求的人体金属模型电流波形。采用接触放电方式, 对注入点施加正负极性放电, 放电间隔为 1.1s, 以电路数字地作为放电回路连接点, 利用示波器检测电路输出情况。放电电压从 300V 开始, 升压步长设为 100V, 直到芯片厂商所设计的静电防护阈值 1000V。实验环境为温度约 25℃、湿度约 40%、无任何强电磁干扰的实验室环境。

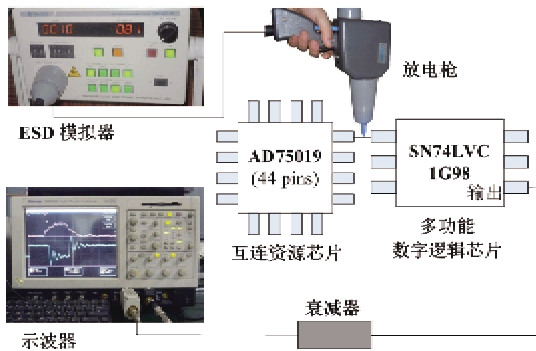


图 3 ESD 效应实验配置图

其中, 互连资源选择模拟交叉点开关阵列芯片 AD75019, 计算资源选择可配置多功能逻辑门芯片

SN74LVC1G98。将 SN74LVC1G98 配置为 2 输入逻辑或的功能, 输入管脚 1 选为注入点, 在芯片的 4 种输入状态下注入 ESD 干扰, 检测并记录其逻辑功能的受扰情况, 结果如表 1 所示。其中, T 代表输出翻转, N 代表输出正常。

表 1 多功能逻辑门受扰结果

输入状态	注入状态	ESD 注入电压 (kV)						
		+0.3	-0.3	+0.5	-0.5	±0.6	±0.8	±1.0
00	0	T	N	T	N	T	T	T
01	0	N	N	N	N	T	T	T
10	1	N	T	N	T	T	T	T
11	1	N	N	N	N	T	T	T

当 ESD 干扰电压低于 0.5kV 时, 逻辑门的输出翻转与注入点的工作状态有关, 正极性 ESD 脉冲会造成低电平信号产生翻转而不会影响高电平信号, 负极性 ESD 脉冲会造成高电平信号产生翻转而不会影响低电平信号。因此, 低压 ESD 的干扰模式为单极性逻辑翻转, 在电路功能行为级上表现为信号固定为 0 或 1, 本文使用 stack-at-0/1 失效模型来模拟低压 ESD 脉冲对电路的干扰。当干扰电压高于 0.5kV 时, ESD 脉冲会对注入点的高低电平信号都产生影响。因此, 高压 ESD 对电路的干扰模式为瞬态逻辑击穿, 在电路功能行为级上表现为逻辑运算功能丧失。因此, 本文将适应度设为 0 来模拟瞬态逻辑击穿所造成的电路功能失效。

2 实验结果与分析

利用以上两种失效模型模拟不同放电电压 ESD 事件对电路单元的干扰情况, 每次 ESD 干扰事件将随机干扰电路内的一个计算单元, 并在其所有工作状态下对电路功能产生影响。受扰单元比例代表 ESD 事件的发生频率, 受扰比例逐渐增大直到 75% 的电路节点受到干扰, 对于每一级受扰比例, 独立运行 10 次演化算法, 每次最多演化 10^5 代, 以避免演化随机性导致演化进程陷入局部最优解。功能电路演化成功率和受扰节点比例的关系如图 4 所示, 表现出以下特点:

(1) 受扰节点比例从 0% 增长到 15% 时, 功能电路的演化成功率达到 90% 以上, 而当受扰节点比例达到 70% 时, 演化电路仍可能在 10^5 代内演化出功能完备的目标电路。这表明当 ESD 干扰事件较少时, 在线演化电路系统可以快速稳定地演化出功

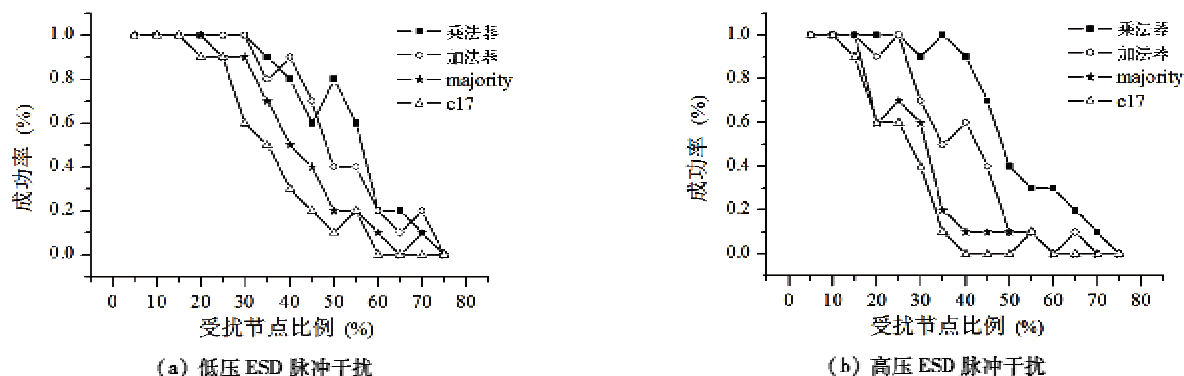


图 4 ESD 干扰下演化成功率分布图

能电路;当 ESD 干扰事件频发而造成 70% 的计算节点受扰时,功能电路仍有一定的概率演化成功,演化电路表现出较高的有效性与可用性。

(2) 演化电路在高压 ESD 干扰环境下的演化成功率普遍低于低压 ESD 环境下的成功率。这主要是因为低压 ESD 事件的干扰效应在电路功能行为级表现为逻辑翻转,其能够被电路内部冗余单元所屏蔽,即演化成功的功能电路具有了潜在的冗余设计和抗扰特性,能够主动地适应所处的干扰环境。

为了进一步分析演化电路对 ESD 干扰环境的主动适应性,图 5 给出了演化生成电路实际使用的逻辑单元数与受扰节点比例之间的关系,表现出以下特点:

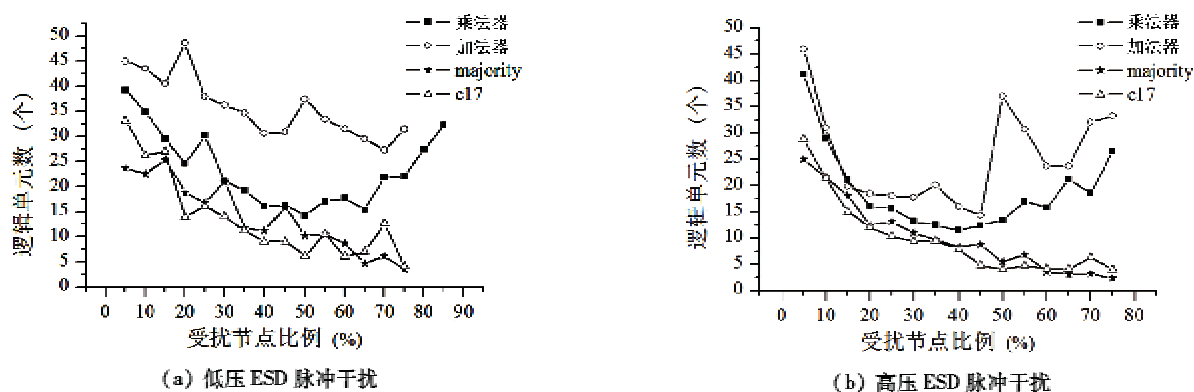


图 5 ESD 干扰下演化电路门数分布图

演化生成电路的适应度与受扰节点比例的关系如图 6 所示,表现出以下特点:

(1) 受扰节点比例达到 75% 时,在低压 ESD 干扰环境下,演化生成电路的适应度仍能达到 0.8 以上。在高压 ESD 干扰环境下,演化生成电路的适应度能够达到 0.5 以上。这表明演化电路在恶劣的

(1) 在受扰节点比例从 0% 增长到 40% 左右时,随着受扰节点比例的增加,演化生成电路的逻辑单元数逐渐降低。这表明演化电路通过减少逻辑单元的使用来主动避免 ESD 事件的注入干扰,另一方面,ESD 干扰环境也促使演化电路更加高效地利用逻辑运算资源。

(2) 在受扰节点比例达到 50% 以上时,随着受扰节点比例的增加,演化生成电路的逻辑单元数呈波动上升的趋势。这表明在 ESD 干扰事件频发的环境下,可演化数字电路以增加计算节点的数目、增大电路整体的受扰概率为代价,最大限度地完成既定逻辑运算功能。

ESD 干扰环境下,能够最大限度地完成既定逻辑运算功能,结果具有一定的可用性。

(2) 随着受扰节点比例的增长,演化生成电路的适应度逐渐降低。这表明演化电路的逻辑功能是一种逐渐退化的过程,能够主动调整电路拓扑结果以尽量适应所处干扰环境,避免电路功能的骤变。

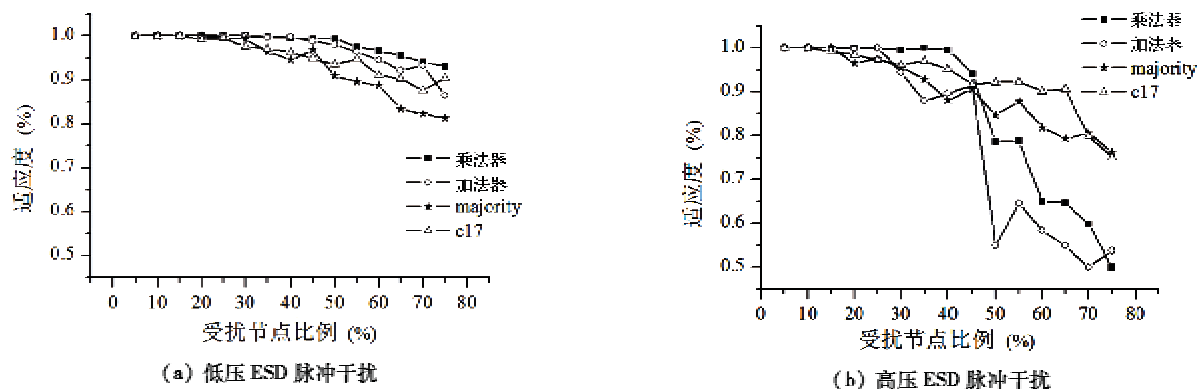


图 6 ESD 干扰下演化电路适应度分布图

3 结 论

本文提出了一种在线演化组合电路系统模型,并通过 ESD 电磁脉冲效应实验分析了电路单元的受扰规律,进而在 ESD 模拟干扰环境下进行了功能电路的演化实验,分析了其主动抗扰特性。主要得到如下结论:(1)当 0%~40% 左右的运算资源受扰时,在线演化数字电路可以稳定有效地完成既定逻辑运算功能,并通过潜在冗余设计和提高资源利用率来主动应对 ESD 事件的干扰。(2)当 50%~70% 的计算资源受扰时,演化电路以增加受扰概率为代价,最大限度地完成既定逻辑运算功能,主动适应恶劣的 ESD 干扰环境,避免电路功能的快速退化。演化电路在 ESD 干扰环境下表现出高可靠和强容错的自适应能力和主动防护特性。但本文实验电路规模较小,限制了此结论的通用性与一般性。下一步需要深入研究大规模组合电路的演化设计方法及其主动防护特性,论证此方法在数字电路电磁防护领域内的应用前景。

参考文献

- [1] 刘尚合. 静电理论与防护. 北京:兵器工业出版社, 1999. 180-184
- [2] ESD Association. Electrostatic discharge (ESD) technology roadmap. <http://www.esda.org>; ESD Association, 2010
- [3] Hiroaki K. Biological robustness. *Nature Reviews Genetics*, 2004, 5: 826-837
- [4] Pauline C H, Andy M T. Challenges of evolvable hardware: past, present and the path to a promising future. *Genetic Programming and Evolvable Machines*, 2011, 12 (3): 183-215
- [5] Stoica A, Keymeulen D, Arslan T, et al. Circuit self-recovery experiments in extreme environments. In: Pro-

ceedings of the 2004 NASA/DoD Conference on Evolvable Hardware, Seattle, USA, 2004. 142-145

- [6] Greensted A, Tyrrell A. RISA: A hardware platform for evolutionary design. In: Proceedings of the 2007 IEEE Workshop on Evolvable and Adaptive Hardware, Honolulu, USA, 2007. 1-7
- [7] Sekanina L, Ruzicka R, Vasicek Z, et al. REPOMO32: new reconfigurable polymorphic integrated circuit for adaptive hardware. In: Proceedings of the 2009 IEEE Workshop on Evolvable and Adaptive Hardware, Nashville, USA, 2009. 39-46
- [8] 刘尚合,原亮,栾杰. 电磁仿生学——电磁防护研究的新领域. *自然杂志*, 2009, 31(1): 1-7
- [9] 满梦华,巨政权,原青云等. 基于电磁仿生概念的静电放电注入损伤防护模型设计. *高电压技术*, 2011, 37 (2): 375-381
- [10] Sekanina L. Virtual reconfigurable circuits for real-world applications of evolvable hardware. In: Proceedings of the 5th Conference on Evolvable Systems: From Biology to Hardware, Heidelberg, Germany. 2003. 186-197
- [11] Miller J F. Cartesian Genetic Programming. Heidelberg/Dordrecht/London/New York: Springer, 2011. 17-34
- [12] IEC Central Office. Electromagnetic Compatibility(EMC) - Part 4-2: testing and measurement techniques——electrostatic discharge immunity test. Geneva, Switzerland: International Electrotechnical Commission, 2008. 15-17
- [13] Yang S. Logic synthesis and optimization benchmarks user guide version 3.0. North Carolina: Research Triangle Park, 1991. 11-12
- [14] Stomeo E, Kalganova T, Lambert C. Generalized disjunction decomposition for evolvable hardware. *IEEE Trans SMC*, 2006, 36(5): 1024-1043
- [15] Kalyanmoy D, Amrit P, Sameer A, et al. A fast elitist multi-objective genetic algorithm: NSGA-II. *IEEE Trans EC*, 2002, 6(2): 182-197

The characteristics of online evolvable miniature combinational circuits' active protection from ESD interference

Man Menghua^{*}, Yuan Liang^{**}, Ju Zhengquan^{*}, Chang Xiaolong^{*}, Shi Wei^{**}, Xie Fangfang^{**}

(^{*}Electrostatic & Electromagnetic Protection Institute, Ordnance Engineering College, Shijiazhuang 050003)

(^{**}Department of Computer Engineering, Ordnance Engineering College, Shijiazhuang 050003)

Abstract

The characteristics of the active protection from electrostatic discharge (ESD) interference of evolvable combinational circuits were investigated by using the experiments on electromagnetic environment effect and the behavioral modeling of functional disturbance. Firstly, a gate-level online reconfigurable combinational circuit model was proposed based upon virtual reconfigurable circuits and Cartesian genetic programming, and a novel multi-objective evolution algorithm for digital circuit designing was implemented. This algorithm was a modification of the non-domination sorting genetic algorithm and evolution strategy. Secondly, the ESD immunity tests were carried out on the reconfigurable gate according to the standard of IEC 61000-4-2. Based on the results, functional disturbance models were also presented. Finally, the 2-bit multiplier, 2-bit adder and some miniature benchmark circuits from the benchmark library of Microelectronics Center of North Carolina (MCNC) were selected as the objects for evaluation. The experimental results show the evolvable circuits' characteristic of high reliability and strong fault-tolerance in active protection from a variety of ESD interference.

Key words: electromagnetic protection bionics, electrostatic discharge (ESD), combinational logic, evolvable circuits, active protection