

集成时钟产生功能的 0.18 μm CMOS 10Gb/s 复接器的设计^①

张长春^{②***} 王志功^{③*} 施 思* 唐 路* 黄继伟* 郭宇峰^{***}

(* 东南大学射频与光电集成电路研究所 南京 210096)

(** 南京邮电大学功率与射频微电子研究中心 南京 210046)

摘 要 针对传统的复接器(MUX)因没有集成时钟电路而限制了其集成度及应用的问题研究了复接器与时钟电路的集成,并采用中芯国际(SMIC)0.18 μm 互补金属氧化物半导体(CMOS)工艺设计并实现了一个片内集成时钟产生功能的 10Gb/s 半速率 2:1 MUX 电路。整个电路由 5Gb/s 时钟提取电路(CEC)和 10Gb/s 半速率 2:1 MUX 电路构成。CEC 从一路输入数据中提取出 5GHz 时钟提供给 MUX 电路。CEC 由鉴频鉴相器(PFD)、电压/电流转换电路、环路滤波器及压控振荡器(VCO)构成。Pottbäcker 型 PFD 不但可以大幅度扩展环路的捕获带宽,并且由于它能够容忍高达 $\pm 45^\circ$ 的正交相位误差,因而三级环形 VCO 能够被采用。测试结果表明,该电路无需任何参考时钟、外接元件及外部手动调谐即可工作。整个芯片面积为 $670\mu\text{m} \times 760\mu\text{m}$,在 1.8V 电压下,功耗为 180mW,其中核心功耗占 60%。

关键词 复接器(MUX), 时钟提取, 鉴频鉴相器, 压控振荡器, 脉宽失真

0 引言

复接器(multiplexer, MUX)是长距离光纤传输系统或短距离输入/输出(I/O)接口传输系统中的关键模块之一。它通过将多路低速数据合并为一或几路高速数据,最大限度地利用大容量传输媒介(如光纤)的传输能力,从而节约空间和成本。复接器有串行结构、并行结构及树形结构^[1]三种基本结构。串行结构速率较低,并行结构需要精确的多相位时钟产生电路,树形结构由于结构简单及工作速率高而受到广泛青睐。此外,复接器还可根据其中是否包含重定时单元,分为全速率复接器^[2,3]和半速率复接器^[4,7]两大类。全速率复接器可以认为是通过在半速率复接器的基础上额外添加一个重定时单元(判决器)来实现的,相对于半速率复接器,全速率复接器基本消除了脉宽畸变(pulse width distortion, PWD),但同时也带来了高功耗、高复杂度等缺陷。

众所周知,复接器只有在时钟电路的配合下才

能正常地工作,而一般的复接器电路却并没有在片集成时钟相关的电路,这对复接器的集成度和应用产生了限制。本研究针对此问题开展了工作,研制出了有时钟产生功能的 10Gb/s 半速率 2:1 复接器,实现了复接器与时钟电路的集成。过去高速电路一般采用基于砷化镓(gallium arsenide, GaAs)^[6]、磷化铟(indium phosphide, InP)^[3]或锗硅(silicon germanium, SiGe)^[2,5,7]等化合物材料的工艺来设计,后来随着半导体技术的快速发展,互补金属氧化物半导体(CMOS)工艺器件的速度已能满足 Gb/s 量级甚至几十 Gb/s 量级的高速电路的需求,并且从成本、集成度、功耗等角度讲,CMOS 工艺都已成为高速电路设计的首选^[8-10],故本研究采用了中芯国际(SMIC)0.18 μm CMOS 工艺设计。

1 系统方案选择

复接器模块结合光驱动器模块以及一个激光二极管便构成一个基本的光发射机。一般的复接器单

① 863 计划(2007AA01Z2a5),国家自然科学基金(61076073,60806027)和高等学校博士学科点专项科研基金(20090092120012)资助项目。

② 男,1981 年生,博士;研究方向:超高速、射频及模拟集成电路设计;E-mail: changchunzhang2007@hotmail.com

③ 通讯作者,E-mail: zgwang@seu.edu.cn

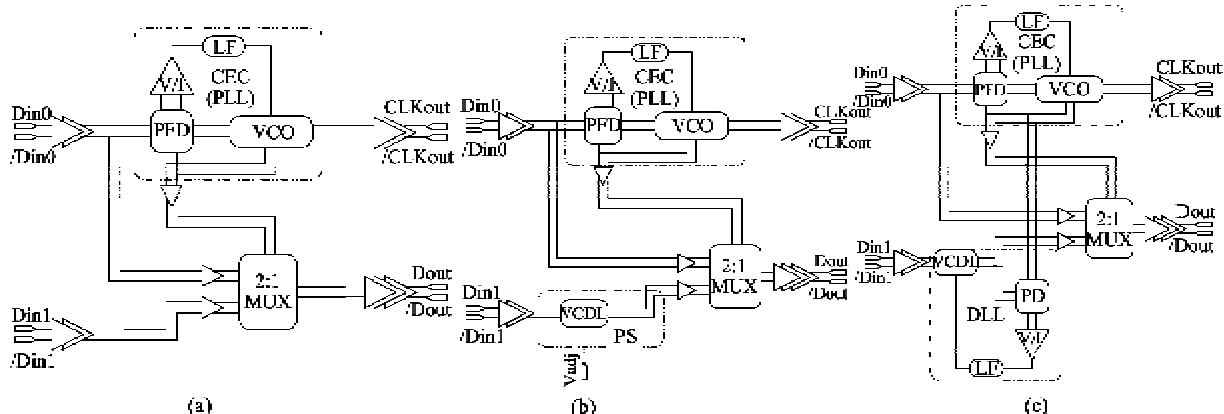
(收稿日期:2010-12-18)

元电路都要求在输入数据的同时输入时钟(通常是电路所需最高时钟),且输入时钟与数据之间的相位关系则需要通过外部手动调整来保证。然而,在实际的全集成系统中,这种外部提供时钟和手动相位调整的方式是不可行的,复接器需要集成相应的时钟处理电路(包括时钟产生和相位对准)才能实现“即插即用”的正常工作。

在一般的(光)互连系统中,发射端的时钟产生主要存在三种方式^[2,9],即时钟倍频单元(clock multiplying unit, CMU)、源馈时钟以及直接从数据中提取时钟。而时钟与数据之间的相位关系,也大概存在三种方式,即通过先入先出(FIFO)存取技术^[5,9]、严格匹配布线以及通过锁相环(phase locked loop, PLL)/延时锁定环(delay locked loop, DLL)反馈环路自适应保持。

CMU + FIFO 技术是大部分完备的标准互连系统中经常采用的一种技术,其功能强大,但是功耗大,结构复杂。源馈时钟加严格的时钟/数据匹配走线技术,在一些互连环境比较好的情况下,可以采用。而如果利用 PLL 技术直接从输入数据中提取出时钟,则可以同时直接保持数据与时钟之间合适的相位关系。

由于在本系统不提供任何时钟(或参考时钟),所以我们采用 PLL 技术从输入数据中提取出时钟并同时自动保持时钟与数据之间的相位关系。另外,因为一个 2:1 复接器需要两路输入数据,而两路数据需要同步于同一个时钟,所以根据另一路相位调整方式的不同,大体存在三种不同的集成时钟处理功能的复接器结构方案(如图 1 所示):(a)不进行相位调整;(b)手动相位调整;(c)自动相位调整。



LF:环路滤波器; V/I:电压/电流转换; CEC:时钟提取电路; VCO:压控振荡器; PFD:鉴频鉴相器; PD:鉴相器; VCDL:压控延时线

图 1 集成时钟处理功能的三种复接器结构方案

三种方案都选择相移数据而非时钟,是因为后者不能保证移相后两路数据相位一致,从而也就不可能被准确采样复接。从方案(a)到方案(c),设计复杂度逐次增加,功能逐渐增强。方案(a)适应于两路数据信号相位差异不大的情形;方案(b)和(c)适应于两路数据信号相位差异不是足够小的情况。其中,方案(b)更适用于两路数据存在较大的固定相位差(也即斜移)的情况,即对随机变化的相位差不能胜任。而方案(c)则适合于任何一种情形。方案(b)和(c)存在一个共同的缺陷,即由于一个支路压控延时线(voltage controlled delay line, VCDL)的存在,人为地在两输入数据支路之间引入了额外的相位差。也就是说,如果本来两输入数据支路之间相位差不大,采用后两种方案反而使问题复杂化。虽然最终可能会实现比特间对齐,但是两支路数据间可能会出现不确定的整数倍比特相移,进而可能

会使复接出数据的时序出现问题。

基于以上比较,并考虑到实际电路中发射端各模块通常集成在一块,两路相邻数据时延匹配较好的特点,本电路采用方案(a)。

2 电路设计

由图 1(a)可知,整个电路主要由一个 5Gb/s 的时钟提取电路(clock extraction circuit, CEC)和一个 10Gb/s 的半速率 MUX 电路构成。CMOS 电流模逻辑(current-mode logic, CML)^[11]是一种差分逻辑。由于它有很多优点,如工作速度快,电压摆幅小,抖动及串扰小,及具有良好的共模抑制特性等,所以被广泛应用在超高速电路设计中。

2.1 电路逻辑

图 2 为本电路中所涉及的几个电流模逻辑

(CML)基本单元。图 2(a) - (f) 依次为:基本差分对、选择器(selector, SEL)、三态选择器(ternary selector, Tri_SEL)、锁存器(Latch, L)、单边沿采样 D 触发器(D-type flip-flop, DFF)和双边沿采样触发器(double-edge triggered flip-flop, DETFF)。CML 差分对是其它 CML 逻辑模块的基础,常被用来构成输入、输出或级间缓冲,也可经过改进作为环形压控振荡器(voltage controlled oscillator, VCO)或可变延时线的基本单元。选择器则通过层叠一个控制差分对

来选择某一路的数据输出,可被用在路径选择及复接器等电路中。三态选择器是 SEL 的改进型,可以产生三态的输出,常被用在鉴频器中。CML 锁存器则是通过将 SEL 的一路数据端口交叉互联来实现的,是数字逻辑电路的核心逻辑单元,可以用来保持数字逻辑状态。DFF 和 DETFF 通常被分别用来实现单边沿和双边沿的数据判决;前者对采样时钟的占空比要求不高,而后者虽对采样时钟的占空比要求高,但可以将采样时钟频率降低一半。

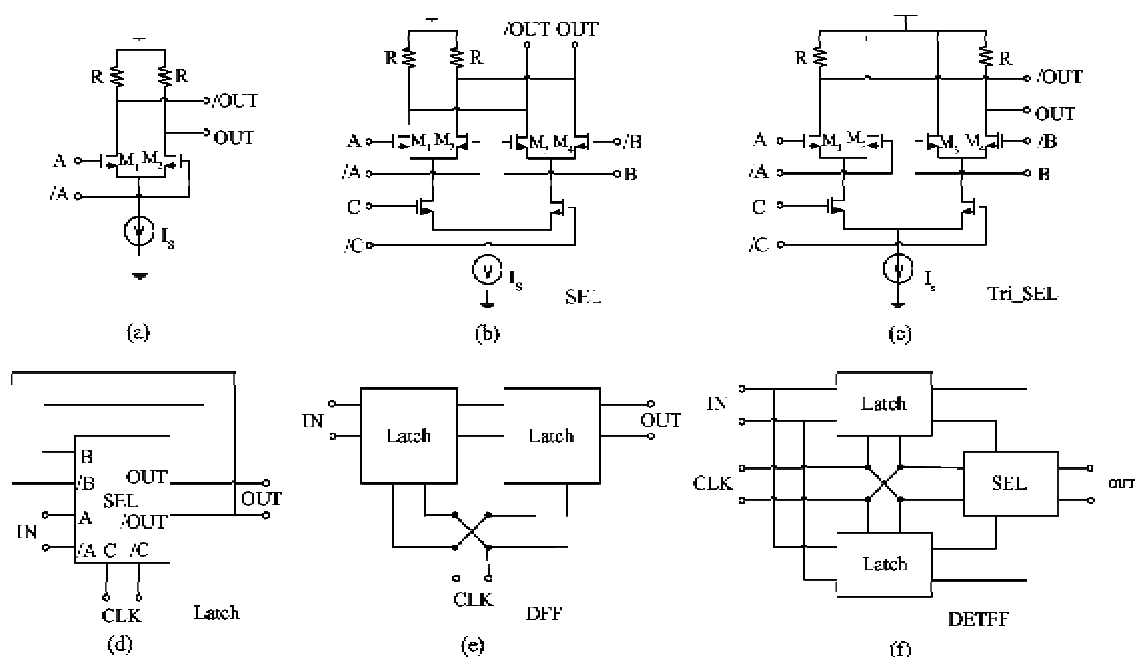


图 2 本电路中所涉及的几个 CML 逻辑基本单元

2.2 5Gb/s 时钟提取电路设计

如图 1(a)所示,本电路中的 CEC 其实就是一个时钟与数据恢复电路(clock and data recovery, CDR),由鉴频鉴相器(phase/frequency detector, PFD)、压控振荡器(VCO)、电压/电流转换(V/I)电路以及环路滤波器(loop filter, LF)构成。

由于 VCO 是一个理想积分器,且 V/I 及 LF 构成了另外一个理想积分器,所以整个时钟提取环路属于 II 型 PLL^[12]。II 型 PLL 的直流(DC)增益无穷大,因此稳态下,输入数据和所提取时钟之间的斜移趋于零,换句话说,时钟采样点趋于最优位置,也即数据的中点。

相对于线性鉴相器(phase detector, PD),Bang-bang 型 PD 具有可靠性高、工作速度高等诸多优点,因而被采用^[13]。然而,仅仅含有 PD 的 PLL 存在捕获范围窄,捕获不可靠等缺陷,所以需要有一个鉴频器

(frequency discriminator, FD)来辅助进行频率捕获^[12]。

图 3 所示为本时钟提取电路中所采用的 Pottbäcker 型 PFD^[14]的原理框图及其版图。整个 PFD 由两个相同的 PD 和一个 FD 构成。PD 实际上就是如图 2(f)所示的双边沿采样器(DETFF),只不过,这里采用数据采样时钟的方式来提取有效的相位信息。在同样的采样信号控制下,相对于如图 2(e)所示的单边沿器(DFF),DETFF 能提供双倍的误差校准信息,更快速地对 VCO 进行反馈控制,使 PLL 具有更优良的抖动性能。FD 与 PD 结构的一个显著区别在于,两者之中的选择器单元分别如图 2(c)和图 2(b)所示。FD 中的三态选择器,便于当环路实现捕获后,使频率捕获环自动退出,从而将环路的控制权平滑地交给 PD(此时,FD 的输出保持为第三态,也即两个单端输出保持相同电平)。

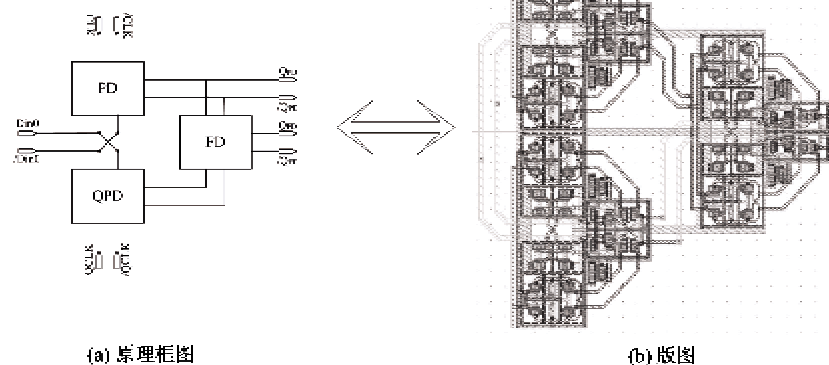


图 3 PFD 的原理框图 (a) 和版图 (b)

环形 VCO 之所以被选用,一则是由于环形 VCO 版图面积紧凑且调谐范围宽,再则是因为环形 VCO 具有较宽的调谐带宽^[7,13]。虽然环形 VCO 的相位噪声性能偏差,但是由于通常 Bang-bang 型 PLL 环路带宽较宽,所以能够有效地抑制环形 VCO 相对 LC VCO 要差的相位噪声^[7,13]。虽然 Pottbäcker 型 PFD 客观上需要正交 (in-phase/quadrature, I/Q) 时钟,而要想产生 I/Q 时钟,通常需要采用偶数级的环振。但是如果两级环振,则不容易满足 Barkhausen 条件,存在不振荡的风险;如果采用四级环振,则通常振荡频率不够高。幸运的是, Pottbäcker 型 PFD 能够容忍高达 $\pm 45^\circ$ I/Q 相位误差^[14],所以即使三级环形 VCO 也能够胜任。

图 4 所示为所采用的 VCO 单元。电流折叠技术被用来克服低电源电压和低 VCO 压控灵敏度需求之间的冲突^[15]。添加了两个电流源 I_1 和 I_2 ,前者主要用来防止 VCO 停止振荡,后者则主要用来提高压控曲线的线性度。此外,VCO 单元采用差分结构,既便于与其它电路模块之间接口,也有利于抵制来自于电源的共模噪声。控制端采用单端控制,虽然不利于抵制来自滤波器的共模噪声,但是却有利于简化 V/I 电路及减小 LF 所占的面积。

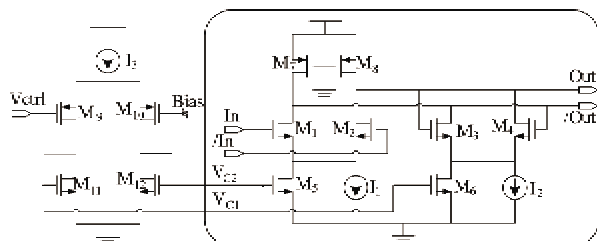


图 4 VCO 单元电路

图 5 所示为本电路所采用的 V/I 及 LF 电路原理图。它其实是一个加法电路,接收来自 PFD 的频差和相差信号,相加,进而将它们转化为电流提供给 LF。V/I 的输出,通过电流镜可以有效展宽 V/I 的输出电压变化范围。单端输出 V/I 相对于差分输出 V/I,避免了共模反馈等复杂的辅助电路^[16]。

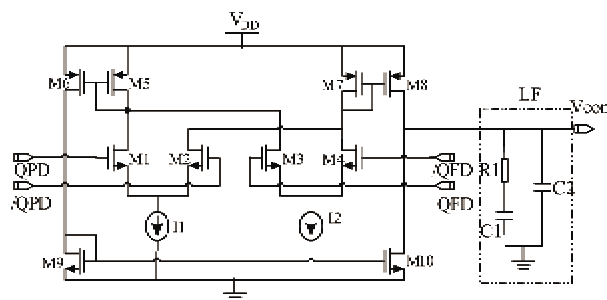


图 5 V/I 与环路滤波器原理图

如图 5 所示,LF 为无源 2 阶滤波器。采用无源滤波器可以避免有源滤波器所可能引入的不稳定及直流偏移问题^[12]。电阻 R1 引入一个零点,以保证环路的稳定性。C1 应该足够大,所以采用电容密度较大的 N 沟道金属氧化物半导体 (NMOS) 晶体管来等效;而 C2 主要用来抑制 V/I 充放电所引起的纹波,电容值比较小,用 MIM 电容实现。

2.3 10Gb/s 半速率 MUX 设计

相对于全速率 MUX,半速率 MUX 具有结构简单、功耗低等优点。图 6 所示为电路所采用的半速率 MUX 原理框图。整个 MUX 由 5 个锁存器 (Latch),一个选择器 (SEL) 及一个 UI/4 时延模块构成 (UI 为一个输出数据比特周期)。5 个锁存器用来实现对两路输入数据进行采样整形及 UI/2 移相处理。两路输入数据和一路时钟分别经过锁存器

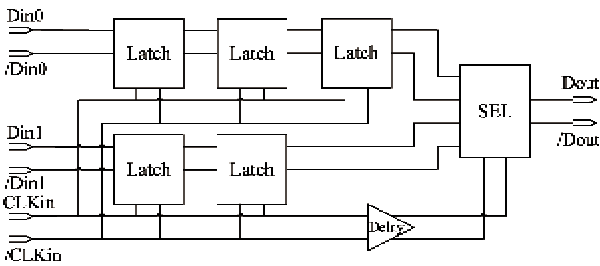
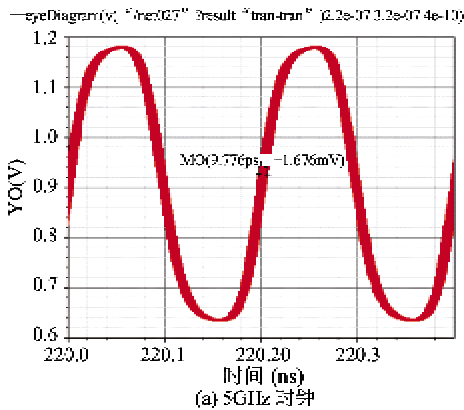


图 6 半速率 MUX 框图

及 $UI/4$ 时延模块的移相处理,到达选择器时将处于最优的相位关系。两路 5Gb/s 的输入数据经过选择



器的交替输出,被复接为 10Gb/s 的输出数据。

3 仿真结果

图 7 所示为在 1.8V 电压下,当时钟提取环路稳定后,所提取出的 5GHz 的时钟和基于这个时钟 MUX 所复接出的 10Gb/s 的数据。从图中可以看出,仿真出的时钟和数据的单端摆幅分别都大于 500mV,抖动峰峰值分别为 9.8ps 和 12.1ps。

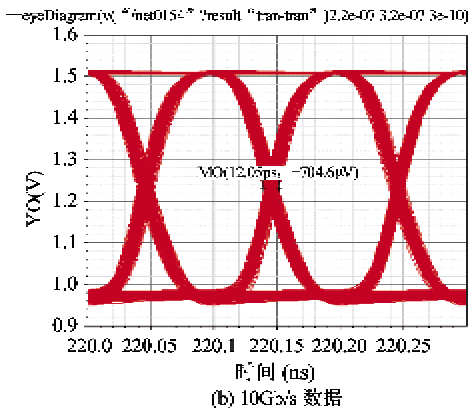


图 7 仿真出的 5GHz 时钟和复接出来的 10Gb/s 数据眼图

4 测试结果

图 8 为整个电路的芯片照片。芯片面积(包括焊盘)为 $670\mu\text{m} \times 760\mu\text{m}$ 。内部电路尽可能对称布局(如图 3(b)所示),电源滤波器电容(用 NMOS 管实现)被添加在芯片四角靠近电源的地方。空余的地方被填充足够多的金属,以满足工艺对金属密度的要求。

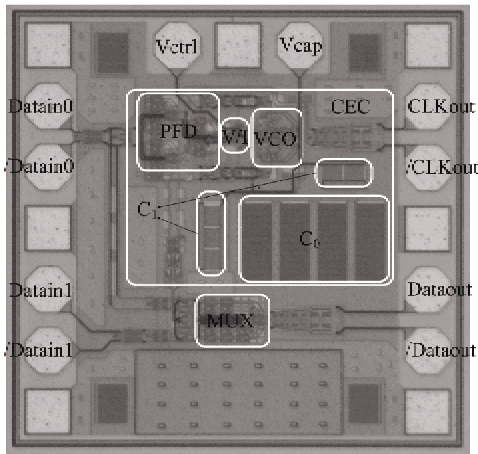


图 8 芯片照片

如图 9 所示对芯片进行 PCB 键合测试。两路 5Gb/s 的输入数据从左边输入,提取出的 5GHz 时钟及复接出的 10Gb/s 数据从右边输出。上面两个端口备用,用于测试时从外部添加电容或电阻对片内环路滤波器进行补偿。(实际上,除了单独测试 VCO 模块的特性外,在进行系统测试时这两个端口都是悬空的。相反,如果外部添加元件反而由于外部元件及长的连接线耦合进大量的外部噪声,而使提取出的时钟性能下降,进而也使复接出的数据性能下降。)

由图 9 可以看出,在 PCB 上,高速时钟及数据线均采用差分特征阻抗为 100Ω 的差分微带线,且传输线尽可能避免锐角走线,以保证高速信号的质量。

测试中主要采用的测试仪器有:Advantest D3186 脉冲产生器,Agilent 86100A Infinium DCA 宽带示波器以及 E4440a 数字频谱分析仪。由于 Advantest D3186 脉冲产生器仅能产生一路差分的 10Gb/s 伪随机数据,所以用一对差分信号中的一根充当一路数据;而经过相移的另一根充当另一路数据。虽然用单端信号充当差分输入信号(将另外一

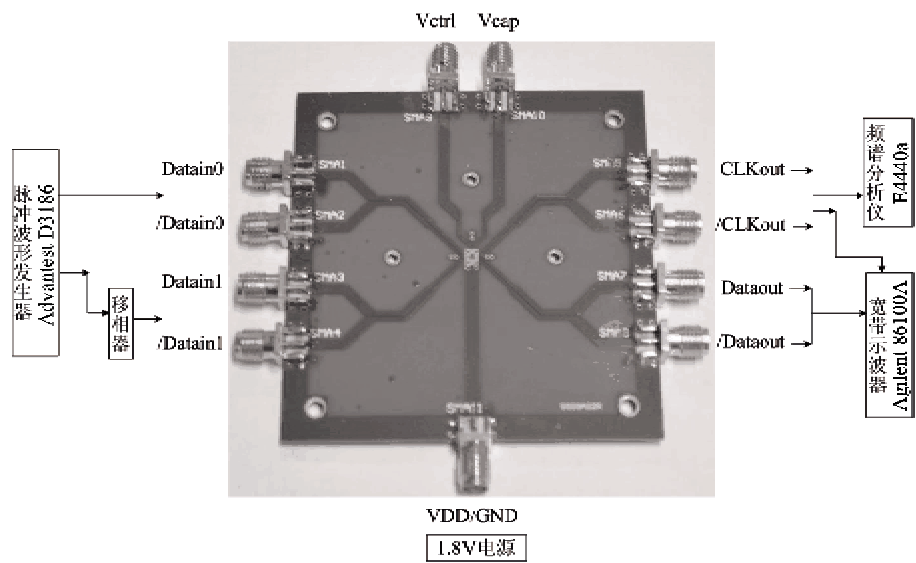


图 9 PCB 及测试示意

个端口悬空),电路也能工作,但是长距离的单端信号传输容易引入噪声,从而使所测试出来的电路性能会有一定下降。

在 1.8V 电压下,整个电路功耗为 180mW,其中核心电路的功耗为 108mW。图 10 为测试出的 5GHz 的时钟及 10Gb/s 复接出的数据眼图。测试出的时钟及数据眼图摆幅均大于 300mV,其中时钟的均方抖动为 1.9ps。而从图 10(b)可以看出,这里复

接出的 10Gb/s 数据出现了脉宽失真问题。这说明时钟提取环路能够正常工作,且性能较好,而 MUX 相关的某些电路工作不够理想。脉宽失真问题,是半速率 MUX 设计中经常会出现的现象。问题主要在于如图 6 所示的半速率 MUX 中 SEL 前面的时钟和两路数据之间的相位关系不够理想。这可以通过更加严格的时延补偿、版图设计及后仿来优化。

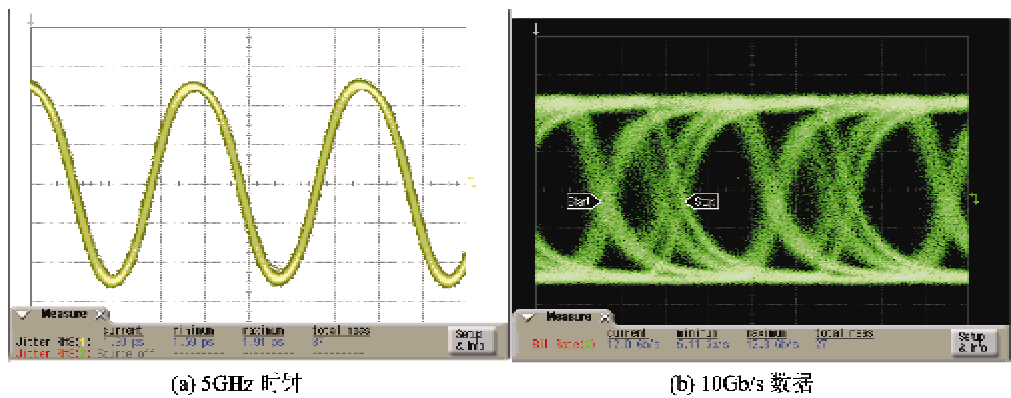


图 10 测试出的 5GHz 时钟及 10Gb/s 数据眼图

表 1 为 CEC 提取出来的 5GHz 时钟和 MUX 复接出来的 10Gb/s 数据的仿真结果(TT 工艺角)的测试结果的比较。从图中可以明显看到,相对于 TT 工艺角,其摆幅明显减小,且数据眼图的质量明显下降,即存在明显的脉宽畸变。这说明,所采用的 SMIC 0.18 μ m CMOS 模型不够精准。

表 1 测试结果与仿真结果比较

		仿真	测试
5GHz 时钟	摆幅(mV _{pp})	500	300
	抖动(ps)	9.8(峰峰值)	1.9(均方值)
10Gb/s 数据	摆幅(mV _{pp})	500	300
	脉宽畸变	无	明显存在

如果向 MUX 的两个输入端输入相同的数据,则 MUX 可以充当一个判决器,此时,整个电路相当于一个 5Gb/s 的 CDR。图 11(a)、图 11(b)分别为 MUX 两个差分输入端输出相同数据时的输出数据

眼图,前者为 2.5Gb/s,后者为 5Gb/s。由图 11 可以看出,当输入数据速率降低一半时,电路也能工作。同时,当 MUX 充当一个单边沿判决器时,输出数据不存在脉宽失真问题。

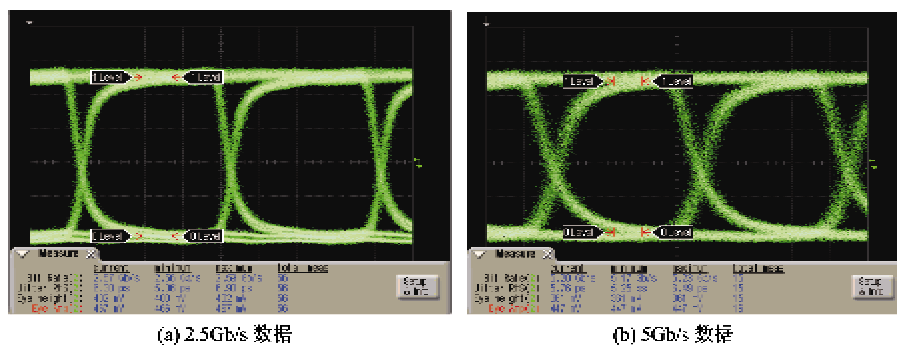


图 11 测试出的 2.5Gb/s 和 5Gb/s 复接器输出的数据眼图

5 结 论

本研究采用 SMIC 0.18 μm CMOS 工艺设计并实现了一种片内集成时钟产生功能的 10Gb/s 半速率 2:1 复接器电路。芯片由一个 5Gb/s 时钟提取电路和一个 10Gb/s 半速率 2:1 复接器两部分构成。时钟提取电路从复接器所需的两路输入数据中的一路数据中提取出 5GHz 时钟提供给 10Gb/s 复接器电路。本文详细分析了该复接器所采用的电路,并给出了仿真及测试结果。Pottbäcker 型 PFD 的采用可以显著提高时钟提取环路的频率捕获带宽。之所以采用环形 VCO,一是因为环形 VCO 具有较宽的调谐带宽,二是 Bang-bang 环路宽的带宽也能够抑制环形 VCO 相对较差的相位噪声。同时,选用三级环形 VCO,则得益于 Pottbäcker 型 PFD 能够容忍高达 $\pm 45^\circ$ I/Q 相位误差的优良性能。

测试结果表明,本电路无需任何参考时钟、外接元件及外部手动调谐即可工作。整个芯片面积为 $670\mu\text{m} \times 760\mu\text{m}$,在 1.8V 电压下,功耗为 180mW,其中核心功耗占 60%。时钟提取电路具有很好的性能,提取出来的时钟抖动均方值仅为 1.9ps,但复接出的 10Gb/s 数据存在一定的脉宽畸变问题。如果将复接器充当一个判决器来用,则不存在脉宽失真问题。

参考文献

- [1] 杨守军. 超高速复接器集成电路研究: [博士学位论文]. 南京: 东南大学信息科学与工程学院, 2005
- [2] Cong H I, Logan S M, Loinaz M J, et al. A 10-Gb/s 16:

1 multiplexer and 10-GHz clock synthesizer in 0.25- μm SiGe BiCMOS. *IEEE Journal of Solid-State Circuits*, 2001, 36(12): 1946-1955

- [3] Nakasha Y, Suzuki T, Kano H, et al. A 43-Gb/s full-rate-clock 4:1 multiplexer in InP-based HEMT technology. *IEEE Journal of Solid-State Circuits*, 2002, 37(12): 1703-1709
- [4] Tang X, Wang X J, Zhang S Y, et al. A 2-Gb/s 16:1 multiplexer in 0.18 μm CMOS. In: Proceedings of the 2008 IEEE International Conference on Microwave and Millimeter Wave Technology, Nanjing, China, 2008. 868-870
- [5] Hai T, Shaeffer D K, Min X, et al. 40-43-Gb/s OC-768 16:1 MUX/CMU chipset with SFI-5 compliance, *IEEE Journal of Solid-State Circuits*, 2003, 38(12): 2169-2180
- [6] 杨守军, 王志功, 朱恩等. 24 Gbit/s 0.2 μm PHEMT 复接器. 东南大学学报(自然科学版), 2004, 34(3): 289-292
- [7] Greshishchev Y M, Schvan P. A fully integrated SiGe receiver IC for 10-Gb/s data rate. *IEEE Journal of Solid-State Circuits*, 2000, 35(12): 1949-1957
- [8] Chien J C, Lu L H. A 15-Gb/s 2:1 multiplexer in 0.18 μm CMOS. *IEEE Microwave and Wireless Components*, 2006, 16(10): 558-560
- [9] Momtaz A, Cao J, Caresosa M, et al. A fully integrated SONET OC-48 transceiver in standard CMOS. *IEEE Journal of Solid-State Circuits*, 2001, 36(12): 1964-1973
- [10] Zhang C C, Wang Z G, Shi S, et al. A 20-Gb/s 1:2 demultiplexer in 0.18 μm CMOS. *Journal of Semiconductors*, 2009, 30(5): 055007-1-5

- [11] Yamashina M, Yamada H. An MOS current mode logic (MCML) circuit for low-power sub-GHz processors. *IEEE Trans Electron*, 1992, E75-C(10): 1181-1187
- [12] Gardner F M. Phaselock Techniques, 3rd edition. New Jersey: John Wiley & Sons, Inc, 2005. 6-28
- [13] Walker R C. Designing bang-bang PLLs for clock and data recovery in serial data transmission systems. In: Razavi B. ed., Phase-locking in High Performance Systems-from Devices to Architectures. New York: IEEE Press, 2003. 34-45
- [14] Pottbäcker A, Langmann U, Schreiber H U. A Si bipolar phase and frequency detector IC for clock extraction up to 8 Gb/s. *IEEE Journal of Solid-State Circuits*, 1992, 27(12): 1747-1751
- [15] Razavi B. Design of Integrated Circuits for Optical Communications. New York: McGraw-Hill, 2003. 194-204
- [16] Savoj J, Razavi B. A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector. *IEEE Journal of Solid-Sate Circuits*, 2001, 36(5): 761-768

Design of a 10-Gb/s 0.18 μ m CMOS multiplexer with the integrated clock generation circuit

Zhang Changchun^{***}, Wang Zhigong^{*}, Shi Si^{*}, Tang Lu^{*}, Huang Jiwei^{*}, Guo Yufeng^{***}

(^{*} Institute of RF-&OE-ICs of Southeast University, Nanjing 210096)

(^{**} Power and RF Microelectronic Research Centre, Nanjing University of Posts and
Telecommunications, Nanjing 210046)

Abstract

Considering that, conventionally, a clock function block is not integrated with a multiplexer (MUX), which brings restrictions to MUX's integration and application, the research on integrating the clock circuit with a multiplexer was performed, and a 10-Gb/s half-rate 2 : 1 MUX with the integrated clock generation circuit was designed and fabricated in the SMIC 0.18 μ m CMOS process. The whole circuit consists of a 5Gb/s clock extraction circuit (CEC) and a 10Gb/s half-rate 2 : 1 MUX. The CEC extracts a 5GHz clock from one of two input data, and then provides the MUX with it. The CEC comprises a phase/frequency detector (PFD), a voltage/current converter (V/I), a loop filter (LF), and a voltage controlled oscillator (VCO). A Pottbäcker PFD can not only enlarge the pull-in range of the loop, but also tolerate up to $\pm 45^\circ$ phase error deviating from ideal inphase/quadrature (I/Q) clocks, so a 3-stage ring VCO can be employed. The measuremental results show that the circuit can work without any external component, reference clock, or manual tuning. The chip area is 670 μ m $\times$ 760 μ m. Under a 1.8V supply, it has the power consumption of 180mW, in which, only 60% is used by the core blocks.

Key words: multiplexer (MUX), clock extraction, phase/frequency detector, voltage controlled oscillator, pulse width distortion