

带 ESD 保护的 2.4GHz 低噪声放大器的分析与设计^①张 浩^② 李智群

(东南大学射频与光电集成电路研究所 南京 210096)

摘 要 分析了静电放电(ESD)保护对源极电感负反馈低噪声放大器(LNA)的输入阻抗匹配和噪声匹配的影响。给出了带 ESD 保护的低噪声放大器在功耗限定的条件下同时满足功率匹配和噪声匹配的优化方法,基于该方法,采用 $0.18\mu\text{m}$ RF CMOS 工艺设计了应用于无线传感网(WSN)的 2.4GHz 低噪声放大器。测试结果表明,低噪声放大器噪声系数(NF)为 1.69dB,增益为 15.2 dB,输入 1 dB 压缩点和输入三阶截点(IIP3)分别为 -8dBm 和 1dBm,在 1.8V 电源电压下消耗电流 3.1mA。

关键词 低噪声放大器(LNA),静电放电保护(ESD),噪声优化,无线传感网(WSN),互补金属氧化物半导体(CMOS)

0 引 言

低噪声放大器(low noise amplifier, LNA)是无线通信射频接收电路中的重要模块,它是接收端的第一个有源电路,因此,低噪声放大器的特性对射频接收系统的性能起着决定作用,它决定着整个接收系统的灵敏度和输入电压驻波比。所以,为了提高接收系统整体的性能指标,就要求低噪声放大器具有低的噪声系数,足够高的增益,低的电压驻波比。在低噪声放大器的设计中,为了达到最大功率传输和最小噪声系数,低噪声放大器输入端要求同时满足功率匹配和噪声匹配^[1]。文献[2]给出了一种很好的低噪声放大器的优化方法,可以在给定功耗的条件下,同时满足功率匹配和噪声匹配,但是该方法没有考虑到静电放电(electrostatic discharge, ESD)保护电路对低噪声放大器的影响。

随着互补金属氧化物半导体(CMOS)工艺的不断进步和片上无源元件性能的不断提高,系统的集成度越来越高,低噪声放大器的输入端口成了接收机射频部分与外界的唯一接口。考虑到芯片的安全性和可靠性,用于产品的芯片与外部的接口焊盘必须含有 ESD 保护电路,由于 ESD 保护电路对射频信号有很大的影响^[3],所以,研究含有 ESD 保护电路的低噪声放大器的优化方法变得尤为重要。文献[4]给出了一种含有 ESD 保护电路的低噪声放大器

噪声优化方法,该方法很好地解决了 ESD 电路给输入功率匹配带来的问题,但是该方法并不能同时满足噪声匹配和功率匹配,并且该方法采用片外 LC 网络实现功率匹配,增加了片外元件数量,进而提高了系统成本。本文通过对含有 ESD 保护电路的低噪声放大器输入阻抗和最佳信号源阻抗的分析,给出了 ESD 保护电路对输入匹配和噪声的影响,进而提出了一种在功耗限定的条件下同时满足输入功率匹配和噪声匹配的 LNA 优化设计方法。与文献[4]相比,该方法可以达到更低的噪声系数,而且片外元件只有栅极电感。

1 电路分析

1.1 ESD 对源极反馈低噪声放大器输入阻抗的影响分析

图 1(a)为含有 ESD 保护的低噪声放大器电路图,图 1(b)为其小信号等效电路。其中, C_p 为输入端对地的等效寄生电容,由 ESD 保护电路的等效电容和输入焊盘的等效电容并联组成。 L_g 为栅极外接电感,通常由焊盘到电路板的键合线电感及电路板上的贴片电感组成。

由图 1 可知,ESD 保护电路由两个反偏二极管组成,虽然当外界没有静电干扰时两个二极管反向偏置均不导通,但是在输入端口呈现为并联到地的电容,该电容严重影响 LNA 的端口阻抗。在图 1(a)

① 863 计划(2007AA01Z2A7)和江苏省“六大人才高峰”资助项目。

② 男,1982 年生,博士生;研究方向:射频集成电路与系统设计;联系人, E-mail: zhhseu@gmail.com
(收稿日期:2009-06-15)

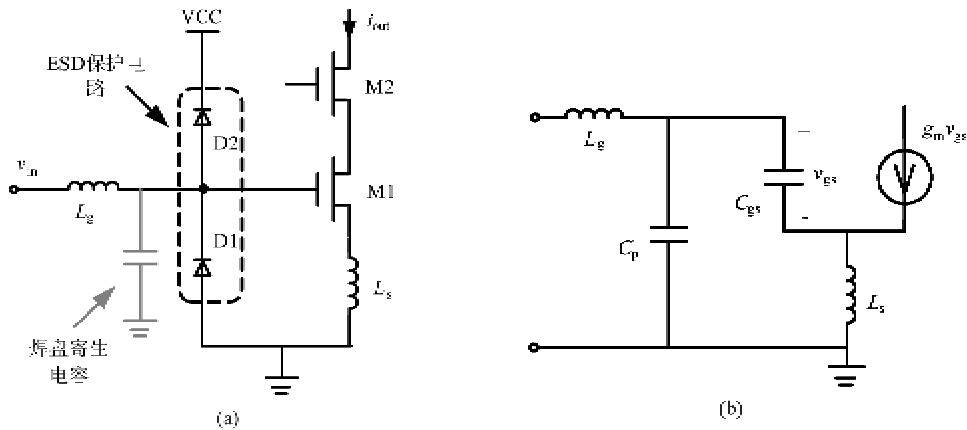


图 1 低噪声放大器输入端电路图(a)和输入端小信号等效电路(b)

中,从 M1 的栅极看进去的输入阻抗:

$$Z_{in}' = sL_s + \frac{1}{sC_{gs}} + R_1 = sL_s + \frac{1}{sC_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (1)$$

所以,M1 的输入阻抗可以用图 2(a)中的 RLC 串联电路等效,该串联电路通常呈现容性,与栅极电感 L_g 串联谐振使输入阻抗表现为纯电阻的形式。因此,图 2(a)电路可以等效为图 2(b)电路,其中:

$$\frac{1}{C_1} = \frac{1}{C_{gs}} - \omega^2 L_s \quad (2)$$

将图 2(b)中 C_1 和 R_1 串联网路转化为等效的并联网络并合并电容元件得到图 2(c)所示电路,如果 Q

值足够大,则有

$$R_2 \approx \frac{1}{R_1 (\omega C_1)^2} \quad (3)$$

$$C_2 \approx C_1 + C_p \quad (4)$$

再将图 2(c)中的并联网络转化为等效的串联网路如图 2(d)所示。同样,如果 Q 值足够大时,则有

$$R_3 \approx \frac{1}{R_2 (\omega C_2)^2} \quad (5)$$

$$C_3 \approx C_2 \approx C_1 + C_p \quad (6)$$

由以上分析可以得到,输入阻抗的实部可以表示为

$$\text{Re}(Z_{in}) = R_3 = \left(\frac{C_1}{C_1 + C_p} \right)^2 \frac{g_m L_s}{C_{gs}} \quad (7)$$

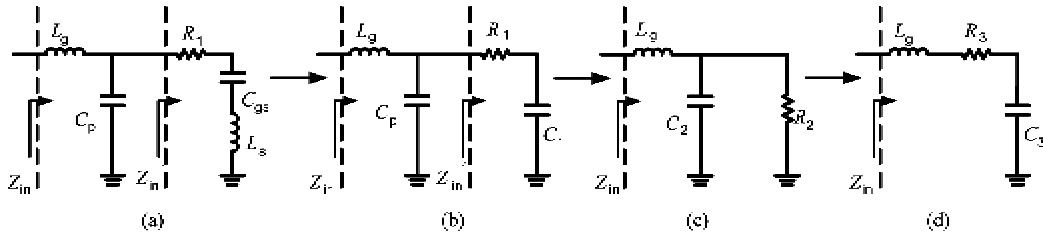


图 2 输入阻抗分析

以上分析中假设网络的 Q 值足够大,通常的窄带系统中该条件是很容易满足的。由式(7)可以看出,加入了 ESD 保护电路之后,由于等效电容 C_p 的影响使输入端口阻抗的实部明显地减小。图 3 为当 L_s 由 0.5nH 变化到 3nH 时,2.4GHz 频率上的输入阻抗实部随电容 C_p 的变化曲线,由图可以看出,当输入端并联到地的电容 C_p 较小时,低噪声放大器的输入阻抗实部远大于源阻抗 50Ω,随着 C_p 的增加,输入阻抗实部急剧下降。因此,ESD 保护电路的加入会使输入阻抗的实部明显地下降,小于源阻抗 50Ω,当电容 $C_p > 280\text{fF}$ 时, $\text{Re}[Z_{in}]$ 将小于 30Ω,严重恶化了低噪声放大器的输入功率匹配。为了增大

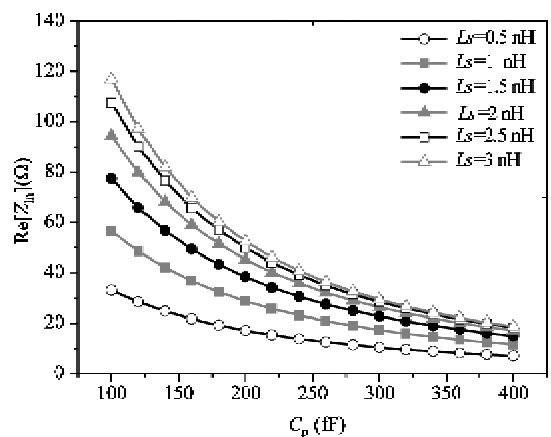


图 3 电容 C_p 对输入阻抗实部的影响 ($W/L = 90\mu\text{m}/0.18\mu\text{m}$, $V_{GS} = 650\text{mV}$)

输入阻抗的实部,文献[4]中采用在输入端口加入 LC 匹配网络的方法。该方法的缺点主要表现在两个方面:(1)增加了片外元件的数目,降低了芯片的集成度,从而增加了设计成本;(2)片外的 L 型匹配不能同时满足功率匹配和噪声匹配,也就是说该方法可以得到很好的输入功率匹配,但是不能使噪声系数达到最小噪声系数。因此,本文提出一种既能满足功率匹配又能实现噪声匹配的优化方法。

1.2 带 ESD 保护的低噪声放大器噪声优化方法

图 4 为改进的低噪声放大器的原理图,图中 M1 的栅极和源极之间增加了电容 C_{ex} ,它会使输入阻抗的实部增加。在没有 ESD 保护的源极反馈低噪声放大器中加入电容 C_{ex} ,会使输入阻抗的实部减小^[2]。

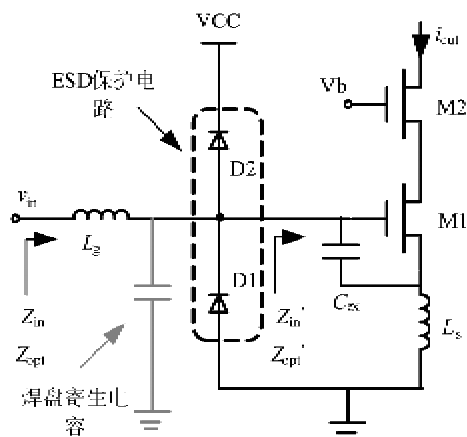


图 4 改进的低噪声放大器

图 4 中的输入阻抗实部可以表示为

$$\text{Re}(Z_{in}) = \left(\frac{C_1}{C_1 + C_p} \right)^2 \frac{g_m L_s}{C_t} \quad (8)$$

其中:

$$\frac{1}{C_1} = \frac{1}{C_t} - \omega^2 L_s, \quad C_t = C_{gs} + C_{ex} \quad (9)$$

将式(9)带入式(8)并化简得

$$\text{Re}(Z_{in}) = \frac{g_m L_s}{\frac{a^2}{C_t} + b^2 C_t + 2ab} \quad (10)$$

其中:

$$a = C_p, \quad b = 1 - \omega^2 L_s C_p \quad (11)$$

由式(9)可以看出,加入电容 C_{ex} 后, C_t 的值增加。当 $C_t < a/b$ 时,随着电容 C_t 值的增加,式(10)随 C_t 的增加而增加,当 $C_t = a/b$ 时, Z_{in} 的实部达到最大值。 Z_{in} 实部的仿真结果如图 5 所示。由图可知,加入电容 C_{ex} 会使 Z_{in} 实部增加,但是随着 C_t

的进一步增加, Z_{in} 实部增加变得十分缓慢。

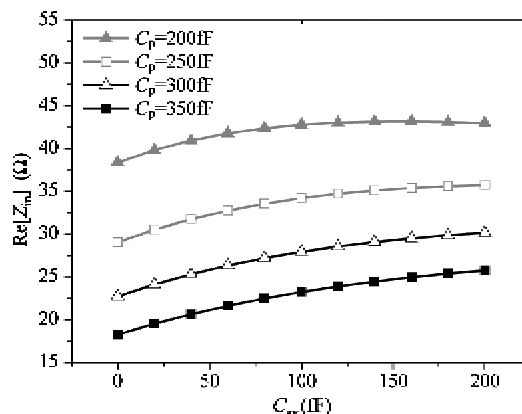


图 5 电容 C_{ex} 对输入阻抗实部的影响

($W/L = 90\mu\text{m}/0.18\mu\text{m}$, $L_s = 1.5\text{nH}$, $V_{GS} = 650\text{mV}$)

由于电容 C_{ex} 对输入阻抗实部的提高是有限的,所以加入电容 C_{ex} 的同时,还应该尽量减小 C_t 的值,如采用只有顶层金属构成的八角形焊盘,用低电容的二极管组成 ESD 保护电路等。

由以上分析可以得到输入阻抗,表示为

$$Z_{in} = R_3 + sL_g + \frac{1}{sC_3} = \left(\frac{C_1}{C_1 + C_p} \right)^2 \frac{g_m L_s}{C_t} + \frac{\frac{1}{sC_t} + sL_s}{1 + sC_p \left(\frac{1}{sC_t} + sL_s \right)} + sL_g \quad (12)$$

通过适当的选取晶体管的参数、直流工作点、电容 C_{ex} 、电感 L_s ,可以使 $\text{Re}[Z_{in}] = 50\Omega$,选取合适的电感 L_g 使其与电容 C_3 谐振,可以使 $\text{Im}[Z_{in}] = 0$ 成立,电感 L_g 的值由式

$$L_g = \frac{1}{C_3 \omega^2} = \left[\omega^2 \left(\frac{C_t}{1 - \omega^2 C_t L_s} + C_p \right) \right]^{-1} \quad (13)$$

给出,此时输入端口实现了功率匹配,达到了最大功率传输。

为了得到低的噪声系数,低噪声放大器的输入端还需要满足噪声匹配,同时满足功率匹配和噪声匹配的条件为

$$Z_{opt} = Z_{in}^* = 50 \quad (14)$$

在不考虑电容 C_p 和电感 L_g 时,最佳的信号源阻抗 Z_{opt} 可以表示为^[2]:

$$Z_{opt}' = \frac{\sqrt{\frac{\alpha^2 \delta}{5\gamma} (1 - |c|^2)} + j \left(\frac{C_t}{C_{gs}} + a |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma} (1 - |c|^2) + \left(\frac{C_t}{C_{gs}} + a |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s \quad (15)$$

其中 α 、 δ 、 γ 和 c 是与工艺有关的参数。电容 C_p 对 Z_{opt} 的影响分析类似于 C_p 对 Z_{in} 的影响分析, $\text{Re}[Z_{opt}]$ 随着 C_p 的增加而减小。但由于 Z_{opt} 表达式较为复杂, 本文没有给出相关的公式推导。从式(15)可以看出, $\text{Re}[Z_{opt}]$ 分母是 C_t 的二项式, 所

以 $\text{Re}[Z_{opt}]$ 随着 C_{ex} 的增加而减小。由于 Z_{opt} 实部总是远大于 Z_{in} 的实部, 经过电容 C_p 影响之后, 通常 $\text{Re}[Z_{in}]$ 小于 50Ω , $\text{Re}[Z_{opt}]$ 大于 50Ω , 如图 6(a) 所示。为了同时实现功率匹配和噪声匹配, 在 M1 的栅极和源极之间并接了电容 C_{ex} , 通过加入 C_{ex} 会增

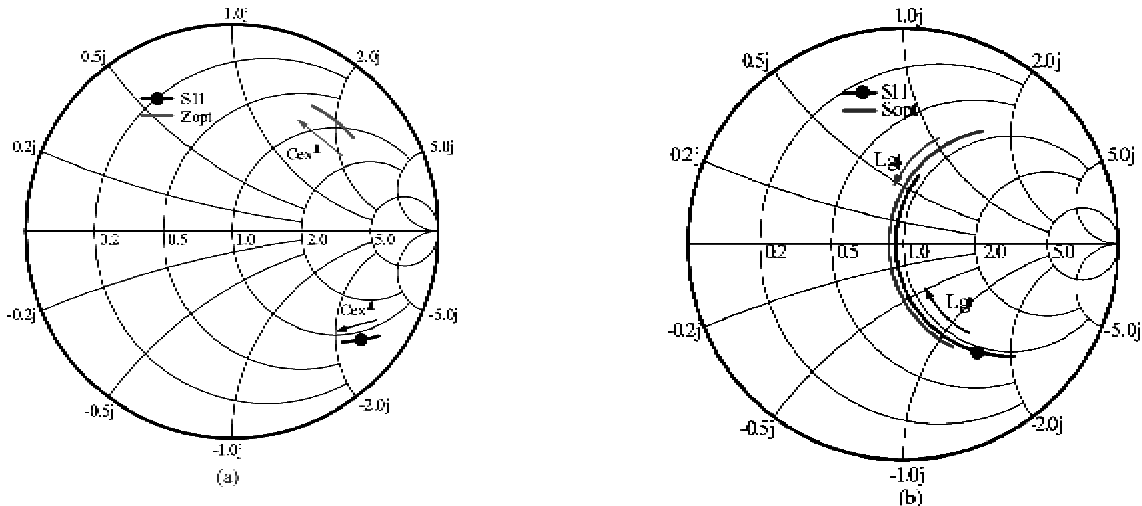


图 6 (a) Z_{in} , Z_{opt} 随 C_{ex} 变化曲线 (固定 C_p 大小); (b) Z_{in} , Z_{opt} 随 L_g 变化曲线 (固定 C_{ex} 大小)

加 $\text{Re}[Z_{in}]$ 而减小 $\text{Re}[Z_{opt}]$, 如图 6(a) 所示。可以看出, 随着 C_{ex} 的增大, $\text{Re}[Z_{in}]$ 增加, $\text{Re}[Z_{opt}]$ 减小。所以, 总可以找到一个合适的 C_{ex} 值, 使得 $\text{Re}[Z_{in}] = \text{Re}[Z_{opt}]$ 。同时, 理论计算表明, $\text{Im}[Z_{in}]$ 和 $-\text{Im}[Z_{opt}]$ 通常是十分接近的^[2], 这一点在图 6 中也可以看出, 所以, 通过适当的选取 C_{ex} , 和满足式(15)的电感 L_g , 输入端即可实现噪声匹配, 如图 6(b) 所示。

由以上分析可以得到功耗约束条件下, 含有 ESD 保护电路的低噪声放大器同时满足功率匹配和噪声匹配的优化步骤如下:

(1) 选取最小栅长 L , 任意宽度 W 的晶体管, 确定合适的偏置电压, 使其在该偏置下有最小的 NF_{min} 。

(2) 根据功耗的要求, 确定晶体管的宽度 W 。

(3) 确定焊盘的寄生电容, 栅极加入 ESD 保护电路。此时由于 C_p 的影响, $\text{Re}[Z_{in}]$ 远小于 50Ω 。但 $\text{Re}[Z_{opt}]$ 仍大于 50Ω 。

(4) 选取电感 L_s , 此时的 L_s 值有些任意性。例如, 可先令 $L_s = 1.5nH$ 。

(5) 由于 $\text{Re}[Z_{in}]$ 随 C_{ex} 的增大而增加, 而 $\text{Re}[Z_{opt}]$ 随 C_{ex} 的增大而减小。所以, 扫描 C_{ex} 的大小, 可以找到一个合适的 C_{ex} 值, 使 $\text{Re}[Z_{in}] = \text{Re}[Z_{opt}]$ 。如图 6(a) 所示。

(6) 如果 C_{ex} 较大时仍然不能满足 $\text{Re}[Z_{in}] =$

50Ω , 此时可以适当增加 L_s 的值, 但 L_s 的值不宜过大, 过大的 L_s 会严重的减小增益和增大噪声。此时需要回到第(5)步, 重新选择合适的 C_{ex} 值。

(7) 如果增加 L_s 仍然不能满足 $\text{Re}[Z_{in}] = 50\Omega$, 可以增加晶体管的宽度 W , 同时减小过驱动电压以满足功耗的要求。但修改了 W 和过驱动电压后, 需要回到第(4)步, 重新选择合适的 L_s 值。

(8) 选择 L_g , 使 $\text{Im}[Z_{in}] = \text{Im}[Z_{opt}] = 0$, 如图 6(b) 所示。

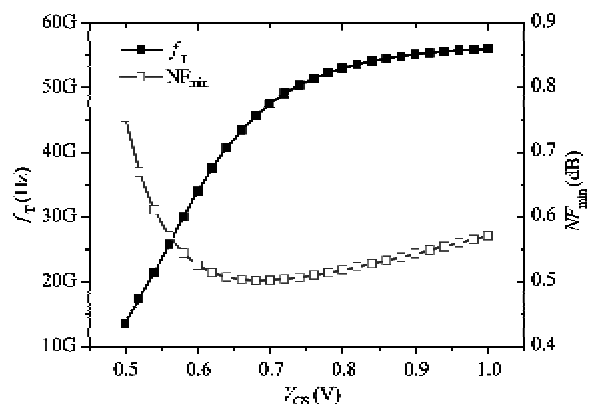


图 7 特征频率 f_T 和 NF_{min} 随栅极电压 V_{GS} 的变化曲线 ($W/L = 90\mu m/0.18\mu m$ @ $V_{DS} = 1V$)

以上的优化步骤是一个不断迭代的过程, 每次

修改前面的参数,都需要对后面的参数重新进行优化。在确定的工艺下, NF 和 $NF_{\min}$ 随着晶体管特征频率的增加而减小,所以小的栅长和大的过驱动电压可以获得较高的特征频率,即可以得到较小的 NF 。但是,大的过驱动电压会带来较大的功耗,需要折中的选择。图 7 为不同过驱动电压下,特征频率和 $NF_{\min}$ 的变化曲线。可以看出,在 $NF_{\min}$ 最小值附近, $NF_{\min}$ 随 V_{GS} 变化是很缓慢的(当 V_{GS} 变化 100mV 时, $NF_{\min}$ 仅增加 0.012dB),所以,在第(7)步中适当调整 V_{GS} 的值对噪声的影响是很小的。

2 电路设计及其优化

根据第二部分中提出的优化方法,用 $0.18\mu\text{m}$ RF CMOS 工艺设计了应用于 2.4GHz 无线传感网的低噪声放大器,其电路原理图如图 8 所示。输入端 ESD 由两个反向偏置的二极管组成,等效电容约为

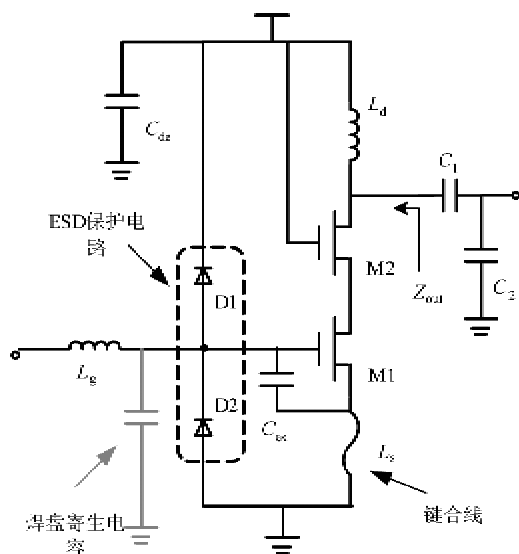


图 8 2.4GHz LNA 电路图

200fF,此时能承受的电压保护电压大约为 $2\text{kV}^{[5]}$ 。焊盘采用只有顶层金属(M6)构成的八角形焊盘以减小等效的寄生电容,测试表明该焊盘等效电容大约为 35fF,即总寄生电容 $C_p = 235\text{fF}$ 。电感 L_s 采用键合线电感来实现,要特别注意的是键合线长度的选取,如果 L_s 取值过小的话,输入阻抗的实部较小,即使通过 C_{gs} 的调节也很难提升到接近 50Ω 。反之,大的 L_s 可以获得较大的输入阻抗实部,但是 L_s 增大会造成增益的下降和噪声系数的增加。通常 L_s 的取值范围在 $1 \sim 3\text{nH}$ 之间。由于工作在 2.4GHz 时,栅

极电感 L_g 的值较大,做在片内会占用较大的芯片面积,增加芯片的成本,同时由于片内的电感 Q 值较低,串联在栅极的寄生电阻会严重的恶化低噪声放大器的噪声系数,本设计采用片外高 Q 值($Q = 89@2.4\text{GHz}$)的贴片电感来实现。图 9 为经过优化的输入端噪声系数和最小噪声系数的仿真结果,结果表明,在 2.4GHz 处 NF 和 $NF_{\min}$ 仅仅相差约 0.01dB,同时达到了功率匹配和噪声匹配。

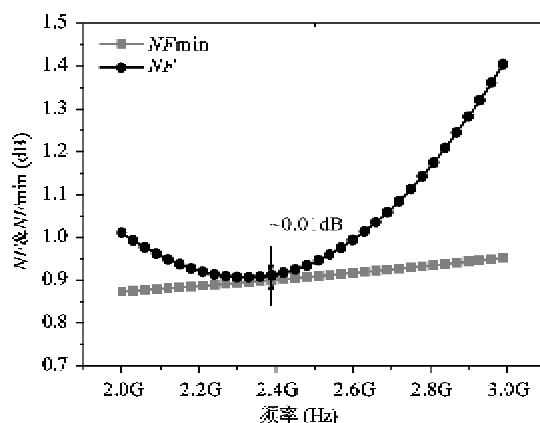


图 9 功率匹配和噪声匹配同时满足时的 NF 和 $NF_{\min}$

为了得到高的增益,低噪声放大器的负载通常采用电感电容并联谐振的形式来实现。谐振电路的等效阻抗为 $(1 + Q^2) * r = (\omega L_d)^2 / r$ (其中 L_d 为漏极电感, Q 为电感品质因子, r 为电感的串联等效寄生电阻),故要采用高 Q 值、较大感值的电感。但是为了避免输出匹配网络使用额外的电感,电感 L_d 的取值要合适,使得输出阻抗 Z_{out} 经过只含有电容的网络就可以匹配到 50Ω ,此时阻抗 Z_{out} 在 Smith 圆图上必须落在图 10 所示的阴影区域内。该区域内有

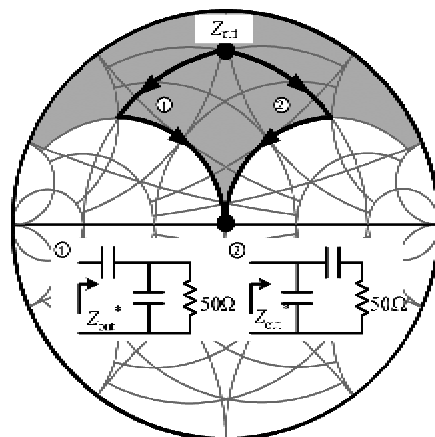


图 10 输出匹配网络

两种结构可以选择,如图 10 所示,通常采用结构①,这样并联的电容可以将输出焊盘的寄生电容包含在内。

3 测试结果

低噪声放大器的芯片照片如图 11 所示,包含焊盘在内,芯片面积为 $470\mu\text{m} \times 600\mu\text{m}$ 。由于只用了一个片上电感,芯片面积较小。

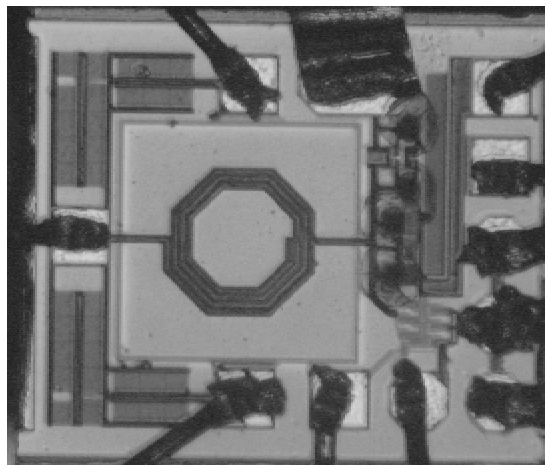


图 11 芯片键合照片

芯片采用键合测试的方法,其中线路板使用 F4BK 板材,测试所使用的主要仪器有 Agilent 公司的 E5071B 网络分析仪、E4440A 频谱仪、N8975A 噪声分析仪和 E4438C 信号发生器等,分别对电路的 S 参数、噪声系数、1dB 压缩点和三阶互调点进行了测试,其中 S 参数的测试结果如图 12 所示,由于输出

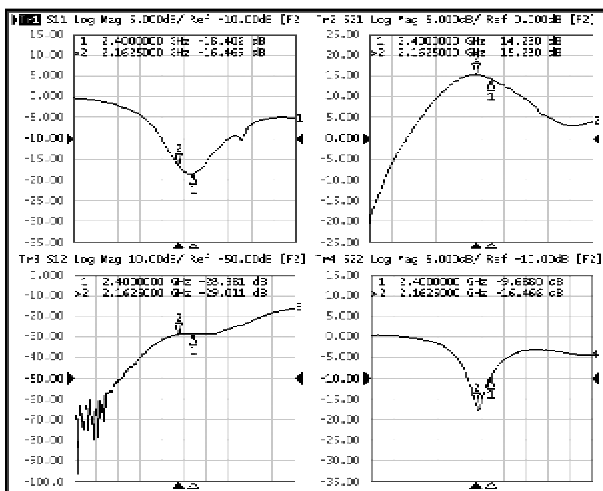


图 12 S 参数测试结果

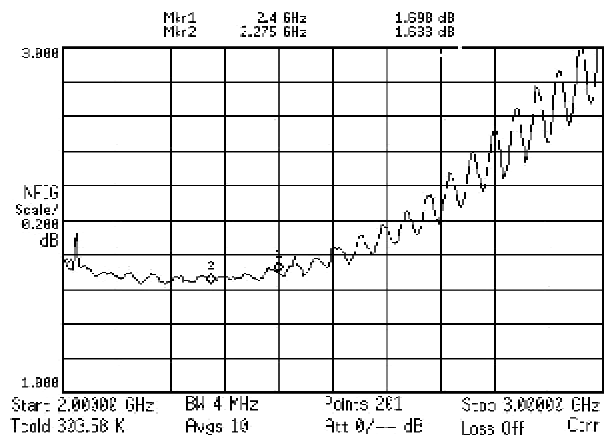


图 13 噪声系数测试结果

键合线的影响, S22 最低点向频率低端偏移了约 100MHz,导致功率增益 S21 也发生了相同趋势的偏移。但是,输入匹配 S11 十分理想,在 2.4GHz 处达到 -18.4dB。如果应用在系统中,低噪声放大器的输出接混频器就不存在键合线导致 S22 偏移的问题。噪声系数的测试曲线如图 13 所示,在 2.28GHz 时,噪声系数达到最小值,约为 1.63dB。在 2.4GHz 时,噪声系数约为 1.69dB。

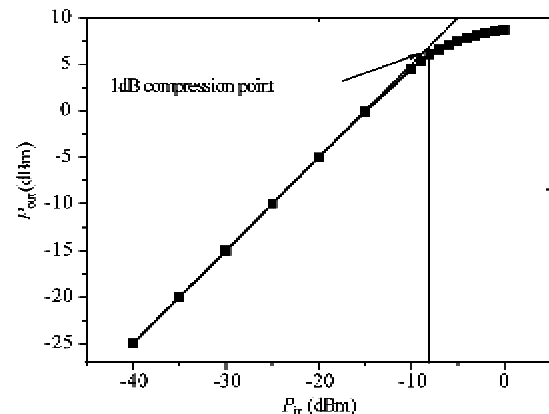


图 14 输入 1dB 压缩点测试曲线

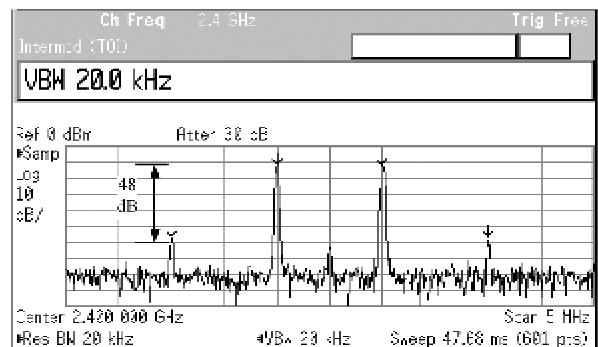


图 15 LNA 双音信号测试

输入 1dB 压缩点的测试采用扫描输入功率记录相应的输出功率的方法,根据测得的数据描点得到的输出功率随输入功率变化曲线如图 14 所示,由图

可知输入 1dB 压缩点约为 -8dBm。图 15 为输入双音信号时的输出频谱测试结果。双音信号的频率分别为 2399.5MHz 和 2400.5MHz,间隔为 1MHz。双音测试得到的输入三阶截点 (input third-order intercept point, IIP3) 约为 1dBm。LNA 的主要测试结果如表 1

表 1 LNA 的测试结果及与近年来发表的结果对比

	增益(dB)	噪声(dB)	输入匹配(dB)	功耗(mW)	IIP3(dBm)	工艺
文献[6]	21.9	2.56	-12.6	12.9	-11	90nm CMOS
文献[7]	13.0	3.60	-13.0	6.5	NA	130nm SOI CMOS
文献[8]*	16.8	1.80	-30.0	5.3	1	130nm CMOS
文献[9]	12.1	2.77	-20.0	4.5	2.4	150nm CMOS
文献[10]	10.5	4.80	-14.0	17.5	NA	250nm CMOS
本文	15.2	1.69	-18.4	5.6	1	180nm CMOS

* 为仿真结果

4 结论

本文详细分析了 ESD 保护电路对源极电感负反馈低噪声放大器的输入匹配的影响,提出了一种带 ESD 保护电路的低噪声放大器噪声优化方法,基于该方法采用 0.18 μ m RF CMOS 工艺设计了应用于无线传感网的低噪声放大器,测试结果表明,该低噪声放大器具有较好的噪声性能和较高的线性度,完全满足无线传感网接收系统的要求。同时验证了本文提出的噪声优化方法的正确性。

参考文献

- [1] Lee T H. The Design of CMOS Radio Frequency Integrated Circuits. Cambridge, U. K.: Cambridge University Press, 1998. 197-220
- [2] Nguyen T K, Kim C H, Ihm G J, et al. CMOS low-noise amplifier design optimization techniques. *IEEE Trans Microwave Theory Tech*, 2004, 52(5): 1433-1442
- [3] Chandrasekhar V, Mayaram K. Analysis of CMOS RF LNAs with ESD protection. In: Proceedings of the IEEE International Symposium on Circuits and Systems, Arizona, America, 2002. 779-802
- [4] Sivonen P, Parssinen A. Analysis and optimization of

packaged inductively degenerated common-source low-noise amplifiers with ESD protection. *IEEE Trans Microwave Theory Tech*, 2005, 53(4): 1304-1313

- [5] Richier C, Salome P, Mabboux G, et al. Investigation on different ESD protection strategies devoted to 3.3V RF applications (2 GHz) in a 0.18 μ m CMOS process. In: Proceedings of the EOS/ESD Symposium, California, America, 2000. 251-259
- [6] Chang C P, Hou J A, Su J, et al. A high gain and low supply voltage LNA for the direct conversion application with 4-kV HBM ESD protection in 90-nm RF CMOS. *IEEE Microwave Wireless Component Lett*, 2006, 16(11): 188-190
- [7] Kaamouchi M E, Moussa M S, Delatte P, et al. A 2.4-GHz fully integrated ESD-protected low-noise amplifier in 130-nm PD SOI CMOS technology. *IEEE Trans Microwave Theory Tech*, 2007, 55(12): 2822-2831
- [8] Brandano D, Delgado-Restituto M, Ruiz-Amaya J, et al. A 5.3mW, 2.4GHz ESD protected low-noise amplifier in a 0.13 μ m RFCMOS technology. In: Proceedings of the 18th European Conference on Circuit Theory and Design, Seville, Spain, 2007. 72-75
- [9] Chandrasekhar V, Hung C M, Ho Y C, et al. A packaged 2.4GHz LNA in a 0.15 μ m CMOS process with 2kV HBM ESD protection. In: Proceedings of the 28th European Solid-State Circuits Conference, Florence, Italy, 2002. 347-350
- [10] Bo-Shih H, Ming-Dou K. New matching methodology of low-noise amplifier with ESD protection. In: Proceedings of the IEEE International Symposium on Circuits and Systems, Island of Kos, Greece, 2006. 4891-4894

Analysis and design of a 2.4GHz low noise amplifier with ESD protection

Zhang Hao, Li Zhiqun

(Institute of RF- & OE- ICs, Southeast University, Nanjing 210096)

Abstract

The paper analyzes the impact of electrostatic discharge (ESD) protection on the input impedance matching and noise matching of a source inductive degenerated low noise amplifier (LNA). and gives an optimization method for a low noise amplifier (LNA) with ESD protection is given, it can achieve input power matching and noise matching simultaneously under the power constrained. Based on this method, a 2.4GHz LNA for wireless sensor network (WSN) was designed and optimized using 0.18 μ m RF CMOS technology. The measured results show that, the LNA achieves a noise figure (NF) of 1.69dB, a power gain of 15.2dB, an input 1-dB compression point of -8dBm and input third-order intercept point (IIP3) of 1dBm. The dc current is 3.1mA under a supply of 1.8V.

Keywords: low noise amplifier (LNA), electrostatic discharge (ESD) protection, noise optimization, wireless sensor network (WSN), CMOS