

采用预充开关运放的低功耗 12 位 40MS/s 流水线模数转换器^①

魏 琦^② 韩丹丹 杨华中^③

(清华大学电子工程系电路与系统研究所 北京 100084)

(清华大学信息国家实验室 北京 100084)

摘 要 设计了一个采用新型预充快速开启开关运放的低功耗 12 位 40MS/s 流水线模数转换器(ADC)。该转换器通过采用新型预充开关运放技术、采样保持电路消去结构、动态比较器和优化采样电容,大大降低了电路的功耗。电路设计采用 1.8V 1P6M 0.18 μ m CMOS 工艺,仿真结果表明,在 40MS/s 采样速率下,输入信号为 19MHz 时,无杂散动态范围(SFDR)为 90.15dB,信噪失真比(SNDR)为 72.98dB,功耗为 27.9mW。

关键词 流水线,模数转换器(ADC),开关运算放大器

0 引 言

广泛应用于无线通信系统、数字视频等领域的高速低功耗模数转换器(analog to digital converter, ADC)是现代系统芯片(system-on-chip, SOC)的重要组成部分。无线通信系统等许多应用均要求 ADC 具有至少 10 位的分辨率和几十 MHz 的采样速率,并且具有低功耗和高无杂散动态范围(spurious free dynamic range, SFDR)的特性。低功耗对于由电池供电的便携式系统而言尤其重要。倍乘数模转换器(multiplying digital to analog converter, MDAC)中用于产生模拟残差信号的运算放大器的功耗占流水线 ADC 功耗的大部分,因此,人们相继提出了运算放大器共享、运放偏置电流再利用、开关运放等技术^[1-5]以减小 MDAC 的功耗。理想的情况下,开关运算放大器仅消耗传统运算放大器一半的能量。然而,传统开关运算放大器不能快速地上电开启工作,使其不适合高速应用^[3]。文献[1]提出了一个快速上电开启的运算放大器,然而,其上电开启的速度仍然受限于辅助放大器的摆率。本设计使用了一种新型快速上电开启的预充型开关运放^[6],上电开启速度快、功耗更低。本文提出的是一个 1.8V 12 位 40Msample/s(MS/s)低功耗流水线 ADC。通过采用新型预充快速上电开启的开关运放技术、采样保持电路消去结构、动态比较器和优化采样电容,它大大降低了电路的功耗。

1 ADC 电路结构

传统的流水线 ADC 前端总是包含一个采样保持放大器(sample and hold amplifier, SHA),它不仅功耗大,而且将更多的失真和噪声引入到 ADC 中。因此,本设计中使用了采样保持放大器消去结构^[7]。在这种结构中,采样保持电路被集成在第 1 级 MDAC 中,而不是一个专门的采样保持前端。由于运算放大器支路和比较器支路均需要对高速变化的模拟输入信号进行采样,这种结构受限于输入采样网络的失配,文献[4]和文献[7]对该问题进行了详细的分析。为了克服该缺点,需要保持运算放大器和比较器支路采样网络的 RC 参数相同并且版图布局对称。只要偏差值不超过第 1 级流水线的冗余误差校正范围,就可以采用著名的数字冗余误差校正技术纠正由采样网络不匹配造成的误差。因此,本设计采用了每级 1.5 位的电路结构,冗余误差校正范围达到了 200mV,可以有效防止因采样网络不匹配而对性能造成影响。采用采样保持电路消去结构的文献[2]和文献[7]均测试得到了大于 100dB 的 SFDR,充分证明了这项技术的有效性。

考虑到上述原因,本文设计的 12 位 40MS/s 流水线 ADC 的前 10 级采用 1.5 位电路结构,最后一级采用 2 位全并行结构,如图 1 所示。每级 1.5 位的电路结构不仅可以提供最大的冗余误差校正范围,并且可以最大程度地降低对运算放大器带宽的要

① 863 计划(2006AA01Z224)和国家自然科学基金(90307016)资助项目。

② 男,1983 年生,博士生;研究方向:数模混合集成电路设计;E-mail: q-wei05@mails.tsinghua.edu.cn

③ 通讯作者, E-mail: yanghz@tsinghua.edu.cn
(收稿日期:2009-03-02)

求,使 ADC 可以达到更高的采样速率。

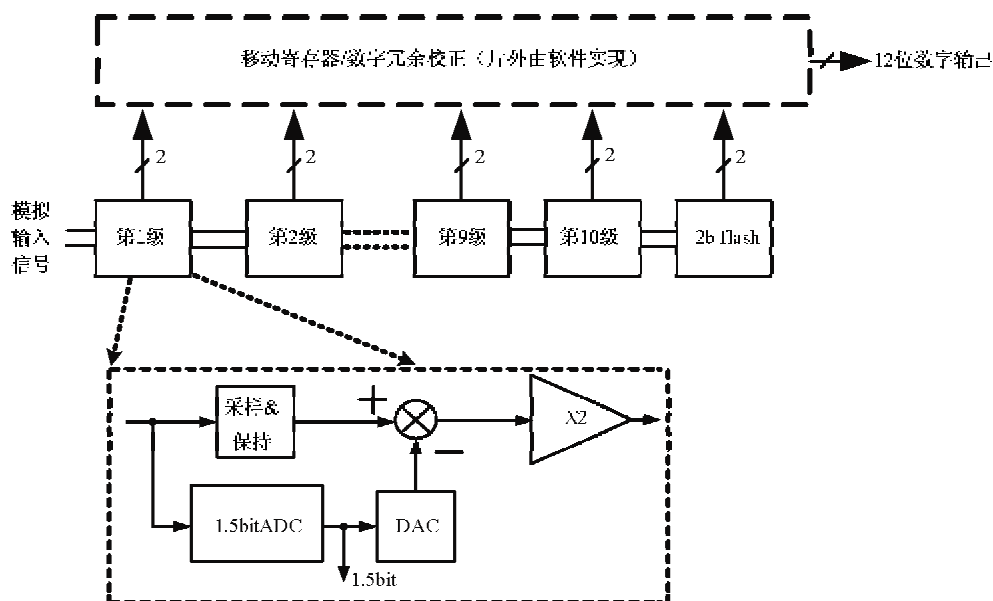


图 1 ADC 结构框图

流水线 ADC 的精度受限于前几级电路输出模拟残差信号的精度,所以通常前几级电路的采样电容值和运算放大器功耗都比较大,以确保足够的精度;而后面各级电路中的采样电容值和功耗较低。如图 1 所示,由第 1 级到第 10 级流水线,模拟残差信号精度和电容匹配要求逐级降低。为了达到 12 位的精度,第 1 级采样电容和保持电容至少需要保持 12 位的匹配精度,接下逐级要求可以放松 1 位。采样电容值的大小受限于工艺偏差和热噪声,可以通过工艺手册和 kT/C 噪声来决定采样电容的尺寸。本设计中,考虑到 12 位精度的热噪声和工艺偏差,第 1 级采样电容值为 2pF ,并通过优化采样电容尺寸和运算放大器偏置电流,降低 ADC 的功耗。

2 电路实现

2.1 第 1 级电路结构

图 2 是第 1 级电路的详细结构。1.5 位的级电路包括由两个比较器组成的全并行的子 ADC (sub-ADC) 和为后级电路产生模拟残差信号的 MDAC。为了尽量减少低电源电压下采样开关导通电阻变化而引入的非线性失真,使用了文献[8]中的自举开关。为了降低采样保持消除结构中运算放大器和比较器间采样网络的失配,需要保持他们的版图布局对称性,确保其等效 RC 相等。

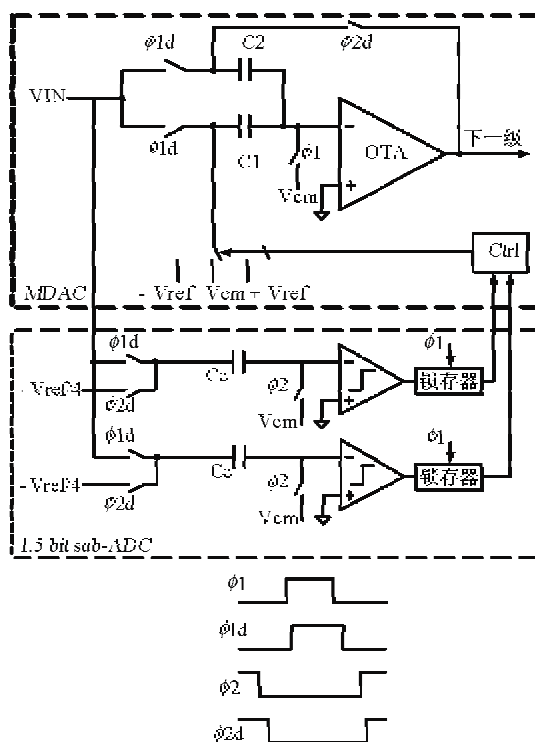


图 2 ADC 第 1 级电路

2.2 预充型快速开启的开关运算放大器

运算放大器的功耗占流水线 ADC 功耗的绝大部分,因此,降低运算放大器的功耗可以极大程度地降低 ADC 整体的功耗。在流水线 ADC 中,运算放大器只需要在建立相时钟阶段工作,而不是在采样相时钟和建立相时钟都工作,所以传统运算放大器

功耗的增大。因此,为了降低功耗,设计中采用了开关运算放大器技术。运算放大器在采样时钟阶段关闭,在建立时钟阶段上电开启工作,避免在采样时钟阶段增大功耗。但是传统的开关运算放大器需要经过缓慢的上电开启过程,使其不适合高速应用^[3]。文献[1]提出了一种快速上电开启的开关运算放大器,大大加速了单级运算放大器上电开启的速度,为开关运放技术提供了新的思路。

然而,文献[1]仍然存在一些缺点。例如,使用的折叠式增益自举放大器(gain-boosted cascode amplifier, GBCA)与套筒式增益自举放大器相比需要消耗至少 2 倍的电流,而仅仅增加了很小的输出摆幅,部分抵消了使用开关运算放大器降低功耗的优势;使用单端输出的辅助运放(booster amplifier)与全差分的辅助运放相比,消耗了大约 2 倍的电流并且更容易受到电源抖动与噪声的干扰;并且开关运放上电开启的速度仍然受到辅助运放摆率的限制。

为了加快上电开启速度并降低功耗,本设计使用了文献[6]中新型预充快速上电开启的开关运算放大器,如图3所示。与文献[1]中的折叠式增益

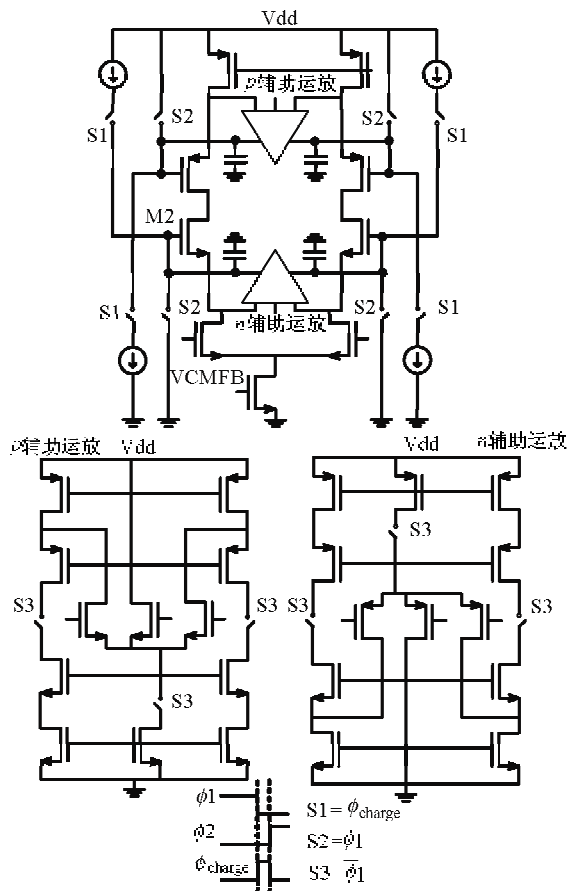


图3 预充型快速开启开关运放

自举放大器相比,使用套筒式增益自举放大器仅消耗大约一半电流。但是套筒式增益自举放大器一个显著的缺点是摆幅受限,尤其在 1.8V 以下的低电压设计中这点更为突出。本设计通过仔细的偏置电路设计达到了 1.6V_{pp} 的输出摆幅以及 90dB 以上的增益,满足 ADC 系统的要求。

我们采用了“预充电”的方式来解决对晶体管 M2 的栅极充电时摆率受限的问题,如图 4 所示。在放大器工作时钟相 ϕ_2 之前,使用电流源对 M2 的栅极进行充电,所以 M2 的栅极能够尽快达到预计的偏置电压。由于制造过程中工艺偏差和实际使用中环境变化的原因,不可能在任何情况下都使 M2 的栅电压预充到所需要的值,但是可以提前充上电路工作所需要的大部分电荷,使 M2 栅极尽快稳定到所需要的电压,从而加速运放的开启速度。预充电流镜只在 ϕ_{charge} 很短一段时间工作,而不需要在运放建立的整个 ϕ_2 相内进行充电,所以功耗远低于用增大辅助运放偏置电流以增强摆率的方法。

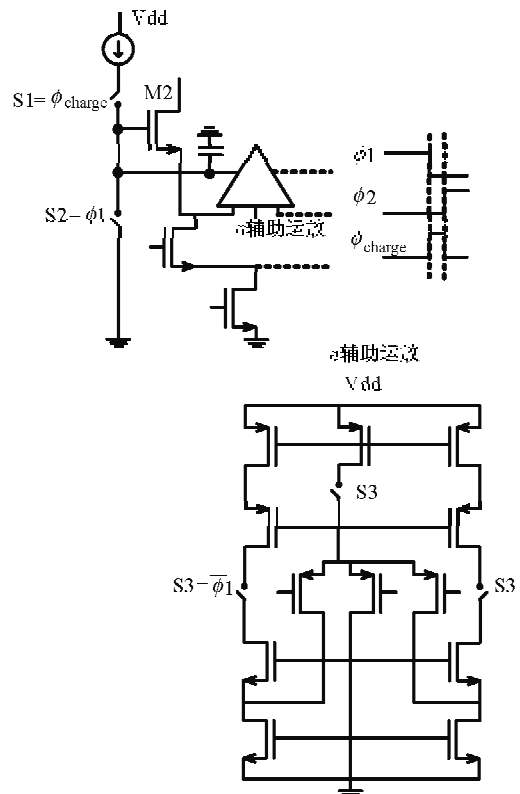


图4 预充型快速开启开关运放原理

2.3 动态比较器

1.5 位级电路中子 ADC(sub-ADC) 包括 2 个全差分比较器,设计中采用了动态比较器以降低功耗,如图 5 所示。在时钟相 ϕ_1 的下降沿,比较器完成比

较并将数字码字输出。由于采用1.5位级电路设计,两个比较器的阈值被分别设置为 $+V_{\text{ref}}/4$ 和 $-V_{\text{ref}}/4$,数字冗余误差校正的范围达到 $V_{\text{ref}}/4$,可以容忍比较器失调,所以比较器不需要非常精确。

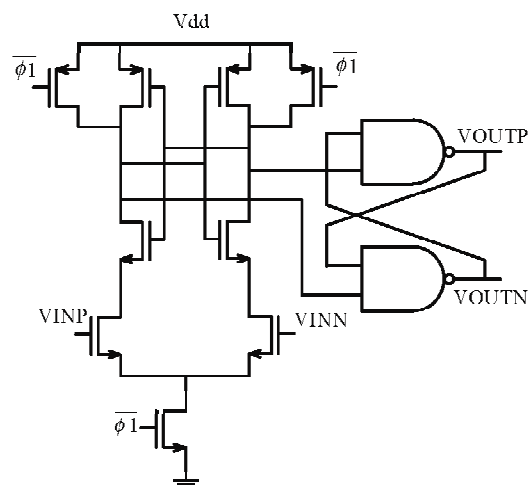


图5 比较器结构

2.4 自举开关

为了尽量减少低电源电压下采样开关导通电阻变化而引入的非线性失真,本设计使用了文献[8]中的自举开关,电路结构如图6所示。该开关在导通期间栅源电压 V_{gs} 恒等于电源电压 V_{dd} ,不仅降低了开关的导通电阻,又保证了电阻值的恒定,而且在工作过程中所有晶体管的栅源电压或者栅漏电压均不超过电源电压 V_{dd} ,保证了电路的可靠性。

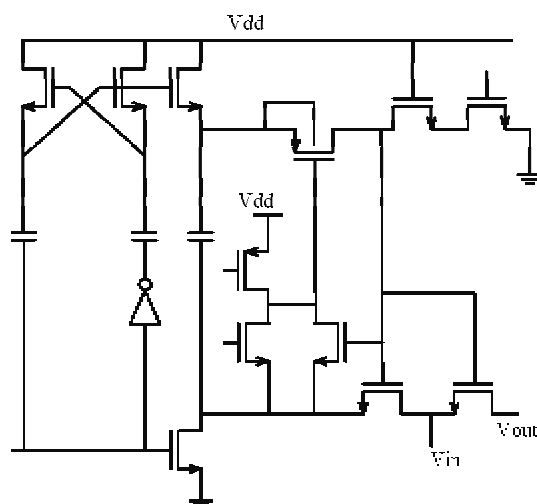


图6 传统自举开关

2.5 共模反馈

由于需要在上电工作的半个时钟周期内迅速稳定共模,所以需要非常大的共模带宽,开关运算放大

器的共模反馈电路设计也非常重要。本设计中采用了基于文献[9]中的经典共模反馈(common-mode feedback, CMFB)电路,如图7所示。其中 V_{OUTP} 和 V_{OUTN} 是运算放大器的正输出端和负输出端, V_{CM} 为参考共模电平, V_{CMFBREF} 为共模反馈参考电平, V_{CMFB} 为反馈到运算放大器的共模控制电压。

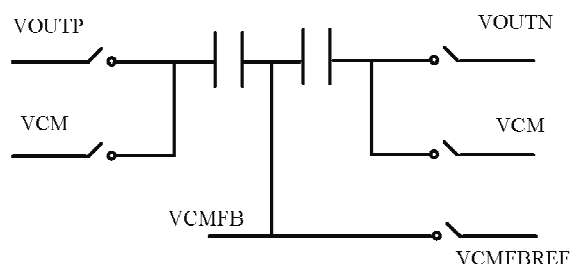


图7 文献[9]中的共模反馈电路

2.6 仿真结果

本设计采用1.8V 0.18 μm 1P6M带MIM电容的CMOS工艺。仿真结果表明,在40MS/s采样速率下,当输入信号为19MHz时,其信噪失真比(signal-to-noise distortion ratio, SNDR)为72.98dB,无杂散动态范围(SFDR)为90.15dB,此时总功耗为27.9mW,动态性能如图8所示。仿真工艺角为TT,温度为27 $^{\circ}\text{C}$ 。本设计仿真性能总结如表1所示,从表中可以看到,采用预充型开关运放后,ADC的功耗由41mW降低到了27.9mW,可以减少约32%的功耗。表2将本设计与近年于IEEE Journal of Solid-State Circuits (JSSC)报导的相似性能的流水线ADC进行了比较。从表中可以看出,对于表征ADC设计水平的指标Figure of Merit (FOM),本设计具有最低的FOM值,在低功耗方面具有明显的优势。

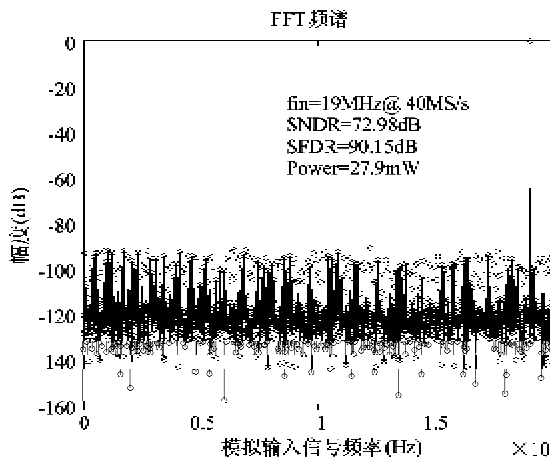


图8 ADC动态性能

表 1 ADC 性能总结

分辨率	12 位
采样速率	40MS/s
工艺	0.18 μ m CMOS
供电电压	1.8V
电路功耗 (采样相不关闭运放)	41mW
电路功耗 (采样相关关闭运放)	27.9mW
SFDR ($f_{in} = 19$ MHz)	90.15dB
SNDR($f_{in} = 19$ MHz)	72.98dB

3 结 论

本设计实现了一个 1.8V 电源电压 12 位精度, 40MS/s 采样速率的流水线 ADC。通过采用采样保持电路消去结构、预充型开关运放、动态比较器和优化采样电容等技术, 极大降低了 ADC 的功耗。仿真结果表明, 当采样精度为 12 位, 采样速率为 40MS/s, 19MHz 输入信号时, SFDR 为 90.15dB, SNDR 为 72.98dB, 功耗为 27.9mW。

表 2 与同类型 ADC 性能比较

	分辨率 (位)	采样率 (MS/s)	功耗 (mW)	电源 电压(V)	SFDR (dB)	SNDR (dB)	VIN (Hz)	工艺	FOM pJ/step
* 本设计	12	40	27.9	1.8	90.15	72.98	19M	0.18 μ m	0.20
文献[10] JSSC 04	13	16	78	1.3	62.5	59.2	8.75M	0.25 μ m	6.5
文献[11] JSSC 05	12	110	97	1.8	69.4	64.2	10M	0.18 μ m	0.67
文献[12] JSSC 07	13	40	268	1.8	80	67	1M	0.18 μ m	3.6
文献[13] JSSC 07	12	75	273	3	75.8	65.6	1M	0.35 μ m	2.3
文献[14] JSSC 04	14	30	350	3	84	64	1M	0.18 μ m	9
文献[15] JSSC 04	12	20	254	3.3	93.3	70.8	58K	0.35 μ m	4.4
文献[16] JSSC 05	12	80	340	2.5	84.5	72.6	50K	0.25 μ m	1.2
文献[17] JSSC 06	14	20	34.8	2.8	82.3	71.6	1M	0.18 μ m	0.56

* 模拟结果, $FOM = Power / ((2^{ENOB}) \cdot fs)$

参考文献

- [1] Ahmed I, Johns D A. A 50-MSps (35 mW) to 1-kSps (15 μ W) power scalable 10-bit pipelined ADC using rapid power-on opamps and minimal bias current variation. *IEEE Journal of Solid-State Circuits*, 2005, 40(12): 2446-2455
- [2] Chiu Y, Gray P R, Nikolic B. A 14-b 12-MS/s CMOS pipeline ADC with over 100-dB SFDR. *IEEE Journal of Solid-State Circuits*, 2004, 39(12): 2139-2151
- [3] Ryu S T, Song B S, Bacrania K. A 10-bit 50-MS/s pipelined ADC with opamp current reuse. *IEEE Journal of Solid-State Circuits*, 2007, 42(3): 475-485
- [4] Li J, Zeng X, Xie L, et al. A 1.8-V 22-mW 10-bit 30-MS/s pipelined CMOS ADC for low-power subsampling applications. *IEEE Journal of Solid-State Circuits*, 2008, 43(2): 321-329
- [5] Cho Y J, Lee K H, Choi H C, et al. A Calibration-Free 14b 70MS/s 3.3mm² 235mW 0.13um CMOS Pipeline ADC with High-Matching 3-D Symmetric Capacitors. In: Proceedings of the 2006 IEEE Custom Integrated Circuits Conference, San Jose, California, USA, 2006. 485-488
- [6] 魏琦, 殷秀梅, 杨斌等. 采用改进电流调制功耗缩放的精度和速度可编程流水线模数转换器. 半导体学报, 2008, 29(5): 170-175
- [7] Ali A M A, Dillon C, Sneed R, et al. A 14-bit 125MS/s IF/RF sampling pipelined ADC with 100dB SFDR and 50fs jitter. *IEEE Journal of Solid-State Circuits*, 2006, 41(11): 1846-1855
- [8] Abo A M, Gray P R. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter. *IEEE Journal of Solid-State Circuits*, 1999, 34(5): 599-606
- [9] Razavi B. 模拟 CMOS 集成电路设计. 北京: 清华大学出版社, 2005. 442-443
- [10] Liu M H, Huang K C, Ou W Y, et al. A low voltage-power 13-bit 16MSPS CMOS pipelined ADC. *IEEE Journal of Solid-State Circuits*, 2004, 39(5): 834-836
- [11] Andersen T N, Hernes B, Briskemyr A, et al. A cost-efficient high-speed 12-bit pipeline ADC in 0.18- μ m digital CMOS. *IEEE Journal of Solid-State Circuits*, 2005, 40(7): 1506-1513
- [12] Ray S, Song B S. A 13-b linear, 40-MS/s pipelined ADC with self-configured capacitor matching. *IEEE Journal of Solid-State Circuits*, 2007, 42(3): 463-474

- [13] Iroaga E, Murmann, B. A 12-bit 75-MS/s pipelined ADC using incomplete settling. *IEEE Journal of Solid-State Circuits*, 2007, 42(4): 748-756
- [14] Ryu S T, Ray S, Song, B S. A 14-b linear capacitor self-trimming pipelined ADC. *IEEE Journal of Solid-State Circuits*, 2004, 39(11): 2046-2051
- [15] Wang X, Hurst P J, Lewis S H. A 12-bit 20-Msample/s pipelined analog-to-digital converter with nested digital back-ground calibration. *IEEE Journal of Solid-State Circuits*, 2004, 39(11): 1799-1808
- [16] Grace C R, Hurst P J, Lewis S H. A 12-bit 80-MSample/s pipelined ADC with bootstrapped digital calibration. *IEEE Journal of Solid-State Circuits*, 2005, 40(5): 1038-1046
- [17] Daito M, Matsui H, Ueda M, et al. A 14-bit 20-MS/s pipelined ADC with digital distortion calibration. *IEEE Journal of Solid-State Circuits*, 2006, 41(11): 2417-2423

A low power 12-bit 40MS/s pipelined ADC with pre-charged switched operational amplifier

Wei Qi, Han Dandan, Yang Huazhong

(Institute of Circuits and Systems, Department of Electronic Engineering, Tsinghua University, Beijing 100084)
(Tsinghua National Laboratory for Information Science and Technology, Beijing 100084)

Abstract

This paper presents a 12-bit 40Msample/s low power pipelined analog-to-digital converter (ADC) with a novel pre-charged fast power-on switched operational amplifier. The converter's low power consumption is realized by using the novel pre-charged fast power-on switched operational amplifier technique, the sample and hold amplifier (SHA)-less architecture, the dynamic comparator and the optimization of the sampling capacitor size. The ADC is designed in a 1.8V 1P6M 0.18 μ m CMOS process. The simulation results indicate that the ADC exhibits the spurious free dynamic range (SFDR) of 90.15dB, the signal to noise and distortion ratio (SNDR) of 72.98dB and a power consumption of 27.9mW when the frequency of its analog input signal is 19MHz.

Key words: pipeline, analog-to-digital converter (ADC), switched operational amplifier