

一个基于 FPGA 的低复杂度水声直扩系统设计^①

王 沁^② 刘兰军^③ 张晓彤 刘金龙 张雨舟

(北京科技大学信息工程学院 北京 100083)

摘 要 基于现场可编程门阵列(FPGA),设计并实现了一个低复杂度的支持码分多址接入(CDMA)机制的水声直接序列扩频(UDSSS)通信系统——UADSSS/CDMA,给出了系统的整体设计和信道编码电路、信号捕获电路的详细设计。信道编码采用规则重复累积(RA)码,解码迭代算法采用低复杂度的最小和算法,给出了一种快速运算的电路设计;信号捕获电路采用延迟相关捕获算法,给出了一种低复杂度的基于流水线结构的电路设计。进行了水声试验平台测试、湖试、海试等性能测试,结果表明,系统在抑制多径干扰和支持多用户通信方面具有良好的性能:试验平台测试显示,单用户通信的误码率为 10^{-4} 数量级,存在两个用户干扰的误码率为 10^{-3} 数量级;湖试显示,零误码的数据包为 74.8%;海试显示,零误码的数据包为 34.4%。

关键词 水声通信,水声直接序列扩频(UADSSS),低复杂度,RA 码,延迟相关捕获

0 引 言

水下无线传感器网络(UWSN)是目前海洋实时监测技术的研究热点之一,由于射频通信、光通信在水下环境的局限性,水声通信成为其主要通信方式^[1]。水声信道是一个窄带宽、大延迟、高噪声的多径衰落严重的时变、空变信道,同时,在 UWSN 的应用中,多址干扰是一个关键因素,频分多址接入(FDMA)、时分多址接入(TDMA)应用于水声信道具有各自的局限性,而码分多址接入(CDMA)则能利用正交的伪随机码实现信道频率、时间、空间的共享,是一种有效的水声信道多址接入方法^[2,3]。因此,抗干扰性强、可抗多径衰落、可有效利用带宽、可实现 CDMA 的扩频技术,是面向 UWSN 应用的一个有效的水声通信解决方案^[4]。因此,国内外对水声扩频通信系统展开了研究,如:文献[5]提出了一个基于跳频扩频技术的水声通信系统并仿真分析了其抗多径、抗干扰性能;文献[6]提出了一个基于 Chirp 调制的水声直接序列扩频(underwater acoustic direct sequence spread spectrum, UADSSS)通信系统,并通过浅水信道测试了系统的抗多径和抗多普勒效应的性

能;文献[7]提出了一个基于频移键控(FSK)调制的水声直接序列扩频通信系统,此系统兼顾了扩频和非相干检测的优点,具有较强的抗多径性能且实现简单;文献[8]提出了一个水声直接序列扩频通信系统,此系统采用 Reed-Solomon(RS)纠错编码和 Rake 接收机结构,具有较强的抗多径、抗干扰能力,适合于低速率通信场合。这些水声扩频通信系统主要解决点对点通信的可靠传输。文献[9]提出了一个支持 CDMA 机制的水声直接序列扩频通信系统(UADSSS communication system for CDMA based networks, UADSSS/CDMA),将移动 CDMA 通信的机制引入到水声通信中,但此系统采用传统的捕获、跟踪、延迟锁相环和 Rake 接收机结构,系统设计复杂,而且采用传统的先解调后解扩的系统结构,限制了通信速率。

本文从系统设计复杂度及支持 CDMA 机制等方面考虑,基于 ALTERA 公司 Cyclone II 系列的现场可编程门阵列(FPGA)EP2C20F484C8,设计并实现了一个低复杂度的支持 CDMA 机制的 UADSSS/CDMA,给出了系统的整体设计和信道编码电路、信号捕获电路的详细设计。试验结果表明,此系统在抑制多径干扰和支持多用户通信方面具有良好的性能。

① 863 计划(2006AA09Z115)资助项目。

② 女,1961 年生,博士,教授;研究方向:无线传感器网络,计算机系统结构,网络与通信 SOC;E-mail: wangqin@ics.ustb.edu.cn

③ 通讯作者,E-mail: liulanjun123@126.com
(收稿日期:2008-10-30)

1 系统整体设计

如图 1 所示,UADSSS/CDMA 是一个半双工通信系统,包括处理器模块、数字信号处理模块和模拟前端电路。数字信号处理模块是 UADSSS/CDMA 的核心,包括发射和接收两个模块。在发射模块中,只对发送数据进行重复累积(repeat accumulating, RA)编码,编码后的数据加上前导码和同步码后统一进行后续处理,数字调制支持双相相移键控(BPSK)、正交相移键控(QPSK)两种调制方式。为简化接收模块的解扩逻辑,调制后的 I、Q 信号采用相同的扩频码;为简化接收模块相位捕获逻辑,载波调制采用载

波与扩频码同相的调制方式。接收模块采用基于带通信号捕获的方法,支持码分多址接入,捕获算法采用延迟相关捕获算法,采用先解扩后解调的系统结构,提高载波频率和基带信号频率的差异,利于载波解调,同时也提高了通信速率。UADSSS/CDMA 设计参数如表 1 所示,其中 R_b 是基带信息波特率、 Q 是 RA 编码的重复次数、 L_{ss} 是扩频码的位数、 R_{ss} 是扩频后信号的比特率、 M_s 是升采样倍数、 f_c 是载波频率。UADSSS/CDMA 支持 31 位扩频码和 127 位扩频码。31 位扩频码系统通信速率较高,支持的用户数少,适合点对点通信;127 位扩频码系统通信速率较低,支持的用户数多,适合多用户通信。

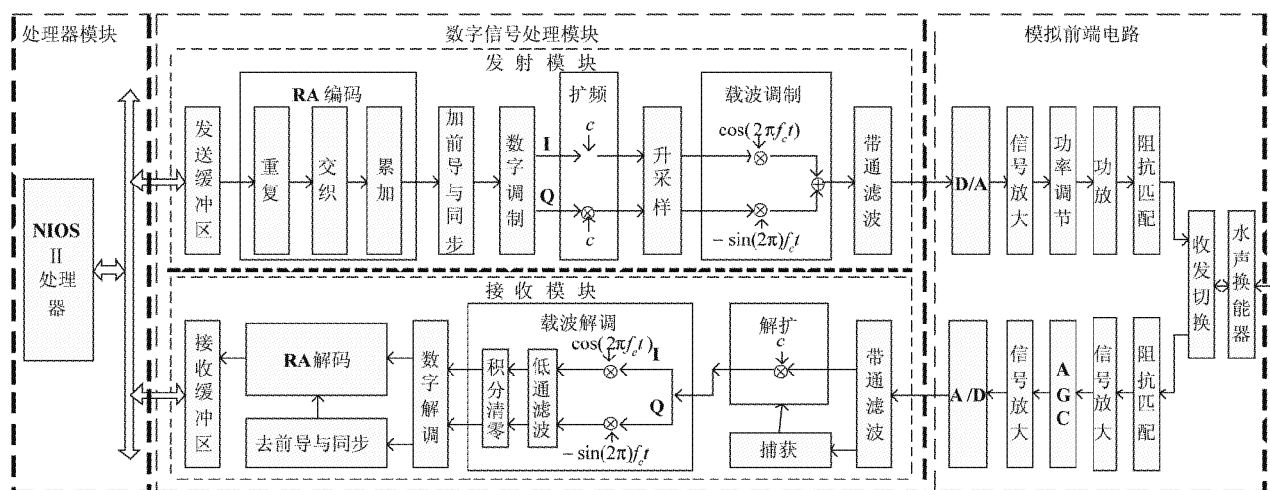


图 1 UADSSS/CDMA 的结构

表 1 UADSSS/CDMA 设计参数

调制方式	R_b (bps)	Q	L_{ss} (bit)	扩频比	M_s	载频比	f_c (kHz)
BPSK	473	3	31	31	16	1	44
	115	3	127	127	16	1	44
QPSK	946	3	31	31	16	1	44
	230	3	127	127	16	1	44

2 关键模块设计

2.1 信道编码电路设计

2.1.1 算法原理

水声信道是一个典型的高误码率无线信道,信道编码在损失一定信息速率的情况下,可有效地降低误码率,UADSSS/CDMA 的信道编码采用规则 RA 码。图 2 所示为规则 RA 码编解码过程的示意图(信息分组长度为 2,重复次数为 3,交织图样为 $\pi = (1, 2, 5, 3, 4, 6)$),虚线为编码过程,实线为解码过程。

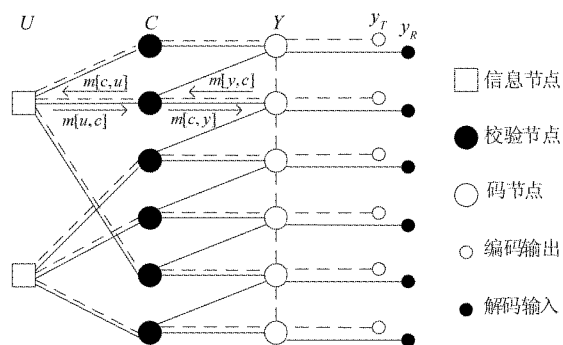


图 2 规则 RA 码编解码过程

RA 码的编码是一个单向过程,设信息位为 u_i ($u_i \in U, i = 1, 2, \dots, N$), N 为信息分组长度,设重复次数为 Q ,则校验位和码位的长度均为 QN ,校验位表示为 c_j ($c_j \in C, j = 1, 2, \dots, QN$),码位表示为 y_j ($y_j \in Y, j = 1, 2, \dots, QN$),则 c_j 是 u_i 按照交织图样 π 的映射, c_j 和 y_j 的关系由式

$$y_j = \begin{cases} c_j & j = 1 \\ c_j + y_{j-1} & j = 2, \dots, QN \end{cases} \quad (1)$$

确定。

RA 码的解码是一个循环迭代过程,需要传递两类信息:信息节点与校验节点之间的信息 $m[u, c]$ 、 $m[c, u]$, 校验节点与码节点之间的信息 $m[c, y]$ 、 $m[y, c]$ 。解码算法包括置信传输算法、最小和算法、归一化算法、偏移算法等^[10,11],其中最小和算法在损失一定性能的情况下具有最低的实现复杂度,UADSSS/CDMA 采用最小和算法,其解码过程如下:

① 初始化: 将 $m[u, c]$ 、 $m[c, u]$ 、 $m[c, y]$ 、 $m[y, c]$ 都置为 0。

② 根据解码输入的信息 y_R 计算信息的概率

$$B(y) = -2y_R/\sigma^2 \quad (2)$$

其中, σ 为与信道信噪比相适应的参数。

③ 更新

$$m[y, c] = \begin{cases} B(y) & y = y_{QN} \\ B(y) + m[c', y] & y \neq y_{QN}, c' \neq c, (c', y) \in E \end{cases} \quad (3)$$

其中 E 为所有边的集合。

④ 更新

$$m[c, u] = \begin{cases} m[y, c] & c = c_1, (y, c) \in E \\ \text{sgn}(m[y, c])\text{sgn}(m[y', c]) \cdot \min(|m[y, c]|, |m[y', c]|) & y \neq y', (y, c), (y', c) \in E \end{cases} \quad (4)$$

其中, $\text{sgn}()$ 为取符号运算。

⑤ 更新

$$m[u, c] = \sum_c m[c', u] \quad c' \neq c, (c', u) \in E \quad (5)$$

⑥ 更新

$$m[c, y] = \begin{cases} m[u, c] & c = c_1, (u, c) \in E \\ \text{sgn}(m[u, c])\text{sgn}(m[y', c]) \cdot \min(|m[u, c]|, |m[y', c]|) & y \neq y', (u, c), (y', c) \in E \end{cases} \quad (6)$$

其中, $\text{sgn}()$ 为取符号运算。

⑦ 判决输出,将步骤③到⑥重复执行 K 次后,计算

$$s(u) = \sum_c m[u, c] \quad u \in U \quad (7)$$

如果 $s(u) \geq 0$, 则比特 u 判决为 1, 否则判决为 0。

2.1.2 电路设计实现

如图 2 所示,RA 码编解码过程存在根据交织图样 π 映射的过程,而交织图样 π 是一个随机映射表。为了加快编解码电路的运算速度,本文基于查找表方法,设计了 3 个地址映射表,即编码交织映射表 MAP_ENC、更新 $m[u, c]$ 交织映射表 MAP_UPD 及判决输出交织映射表 MAP_DEC,这是 UADSSS/CDMA 的编解码电路的关键。MAP_ENC 是一个反映编码过程所需的原始信息的地址索引表,其内容计算方法是:按照校验节点的顺序,根据编码交织图样 π ,获得与校验节点对应的信息节点的下标,对应到编码电路中,就是原始信息在原始信息缓存的位地址。MAP_UPD 是一个反映解码过程中更新 $m[u, c]$ 所需的 $m[c, u]$ 的地址索引表,其内容计算方法如图 3 所示:按照校验节点的顺序,根据编码交织图样 π ,首先获得与之对应的信息节点,然后根据信息节点,获得与信息节点对应的全部校验节点,去除本校验节点,其他校验节点的下标即是 MAP_UPD 的内容,对应到解码电路中,就是 $m[c, u]$ 在 $m[c, u]$ 缓存的位地址。MAP_DEC 是一个反映解码判决输出过程中信息节点跟 $m[u, c]$ 映射关系的地址索引表,其内容同编码交织图样 π 。

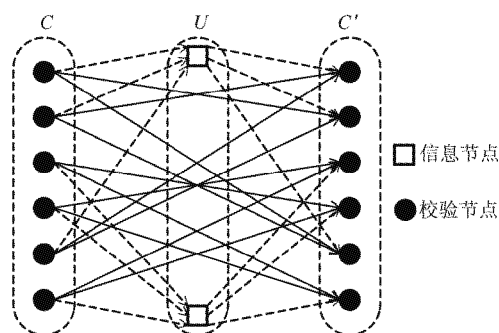


图 3 MAP_UPD 内容计算方法

图 4 所示是基于查找表方法设计的 RA 编解码电路结构图。编码电路包括发送信息缓存控制逻辑、编码控制逻辑、并/串转换逻辑、原始信息缓存、编码信息缓存、编码交织映射表 MAP_ENC。解码电路包括信息采集/处理/存储控制逻辑、更新 $m[y, c]$ 控制逻辑、更新 $m[c, u]$ 控制逻辑、更新 $m[u, c]$ 控制逻辑、更新 $m[c, y]$ 控制逻辑、迭代次数控制逻辑、 $B(y)$ 缓存、 $m[c, y]$ 缓存、 $m[y, c]$ 缓存、 $m[c, u]$ 缓存、 $m[u, c]$ 缓存、数据判决输出逻辑、更新 $m[u, c]$ 交织映射表 MAP_UPD、判决输出交织映射表 MAP_DEC。

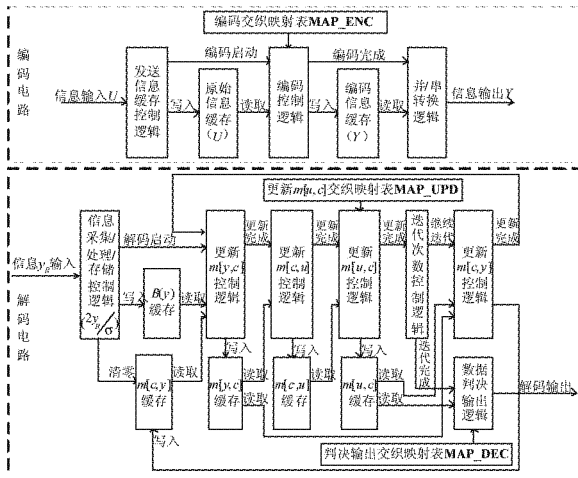


图4 RA 编解码电路结构

2.1.3 电路性能分析

为降低设计复杂度,RA 编解码电路在实现时采用定点运算(运算数据统一表示为符号位1位、整数位3位、小数位12位),与浮点运算相比,存在一定的运算精度损失。图5所示为定点运算RA 编解码电路与浮点运算Matlab仿真的性能对比,两者的性能曲线重合,即基于定点运算的RA 编解码电路不存在性能损失,这主要是因为RA 解码存在硬判决过程,一定的运算精度损失不影响解码结果。同时,RA 解码的参数 σ 是一个跟信道信噪比相关的参数,为降低设计复杂度,本文采用了固定 σ 的策略,图5中固定 σ 的性能曲线为采用信噪比为-4dB的 σ 的测试结果。可以看出,RA 解码对参数 σ 并不敏感,可以采用固定 σ 的策略。

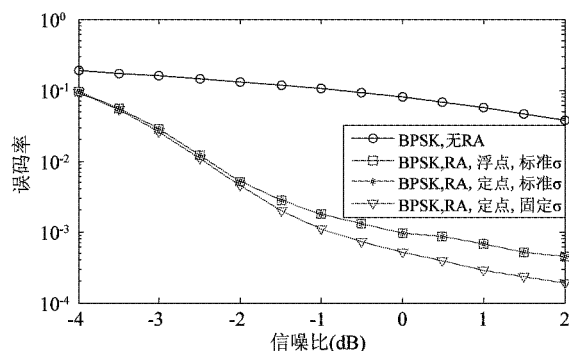


图5 RA 编解码电路的性能

UADSSS/CDMA 的RA 编解码电路的信息分组长度为160,重复次数为3,迭代次数为8,占用的逻辑资源如表2所示。

表2 RA 编解码电路占用的逻辑资源

逻辑单元 LE(个)	存储器 RAM(位)	9 位乘法器单元(个)
1073	71168	2

2.2 信号捕获电路设计

2.2.1 算法原理

为了支持 CDMA 机制,UADSSS/CDMA 采用基于带通信号捕获的方法,信号捕获采用延迟相关捕获算法(又称匹配滤波器法)^[12]。延迟相关捕获算法具有捕获时间短、误捕获率低等优势,但基于带通信号的电路实现需要的逻辑资源比较大,本文利用捕获副本的周期性特征,设计了一个低复杂度的延迟相关捕获电路,下面介绍其算法原理。

图6所示为UADSSS/CDMA 的延迟相关捕获电路的原理图,其中 $P_i(i = 1, 2, \dots, N)$ 为 N 个采样点的移位缓存数据, $S_i(i = 1, 2, \dots, N)$ 为本地副本, $S_i(i = 1, 2, \dots, N)$ 由扩频码和单周期载波标准采样点生成,是基带信息1经过扩频和载波调制后的信号,副本长度为一个信息位的持续时间。

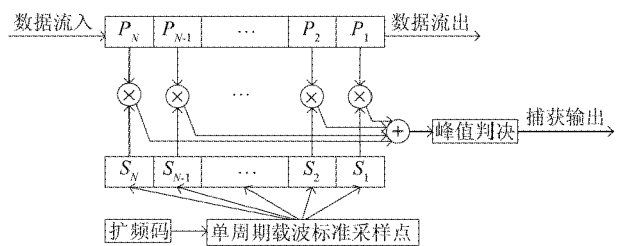


图6 延迟相关捕获电路的算法原理图

UADSSS/CDMA 支持31位和127位扩频码,以31位扩频码为例,系统扩频码表示为 $C(j)(j = 0, 1, \dots, 30)$,扩频比为31,采用BPSK调制,载波为余弦波,载波调制载频比为1,每个载波周期的采样点为16,则副本长度 $N = 31 \times 16 = 496$,采样数据缓冲区的长度跟副本长度相等,为 $N = 496$ 。

本地副本的表达式为

$$S_i = C(i/16) \cdot \cos\left(\frac{2\pi(i \bmod 16)}{16}\right) \quad (i = 0, 1, \dots, 495) \quad (8)$$

其中,mod表示“模”运算。

从而,本地副本和采样数据的相关值表达式为

$$R = \sum_{i=0}^{495} P_i \cdot S_i = \sum_{i=0}^{495} P_i \cdot C(i/16) \cdot \cos\left(\frac{2\pi(i \bmod 16)}{16}\right) \quad (9)$$

根据本地副本的周期性特征,式(9)可变换为

$$R = \sum_{k=0}^{15} \left(\cos\left(\frac{2\pi \cdot k}{16}\right) \cdot \left(\sum_{j=0}^{30} C(j) \cdot P_{16 \cdot j+k} \right) \right) \quad (10)$$

其中扩频码 $C(j)$ ($j = 0, 1, \dots, 30$) 为 $+1$ 和 -1 的序列,因此式(10)可进一步变换为

$$R = \sum_{k=0}^{15} \left(\cos\left(\frac{2\pi \cdot k}{16}\right) \cdot \left(\sum_{j=0}^{30} \text{sgn}(C(j)) \cdot P_{16 \cdot j+k} \right) \right) \quad (11)$$

其中, $\text{sgn}()$ 为取符号运算。

由式(11)可以看出,采样数据和本地副本的相关运算可分解为以下步骤:1)计算采样位置相同的采样数据的和,每个采样数据在做加法运算前根据相应的扩频码的符号进行数据符号的变换;2)将加法运算结果跟相应的载波数据做乘法运算;3)通过重复前面两个步骤的运算完成对采样数据缓冲区中所有数据与本地副本的运算,并将每次的乘法运算结果进行累加。

2.2.2 电路设计实现

根据以上原理分析,设计了一个低复杂度的基于流水线结构的延迟相关捕获电路,电路结构如图 7 所示。

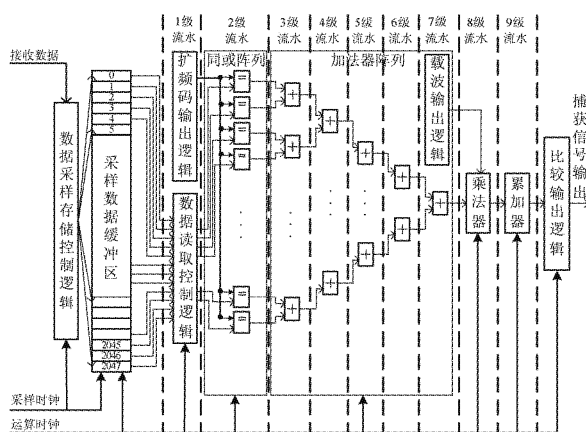


图 7 基于流水线结构的延迟相关捕获电路结构

捕获电路包括数据采样存储控制逻辑、采样数据缓冲区、数据读取控制逻辑、扩频码输出逻辑、同或阵列、加法器阵列、载波输出逻辑、乘法器、累加器、比较输出逻辑。采样数据缓冲区是一个具有 2048 个存储单元的双口 RAM 阵列,存储单元宽度是 16 位,RAM 阵列包括 32 块 RAM,可实现 32 个 16 位数据的并行读取,每块 RAM 具有 64 个存储单元,当采用 31 位扩频码时,利用前 16 个存储单元,当采用 127 位扩频码时,利用全部存储单元。同或阵列

是一个可同时处理 32 个 16 位数同或运算的并行同或运算单元,根据本地扩频码的符号对数据进行预处理,扩频码由扩频码输出控制逻辑提供。加法器阵列是一个具有 31 个加法器利用 5 个时钟周期完成 32 个 16 位数相加的并行加法运算单元。捕获电路只采用了一个乘法器,与延迟相关捕获原理中的 496 个乘法器相比,大大简化了电路的占用面积。

捕获电路运算结构采用流水线设计,分 9 级流水,依次为数据读取控制和扩频码输出、同或运算、加法运算一、加法运算二、加法运算三、加法运算四、加法运算五和载波输出、乘法运算、累加运算。

捕获电路的工作时钟包括采样时钟和运算时钟,运算时钟是采样时钟的数倍频,通过对流水运算电路的复用,实现在单个采样时钟周期内完成采样数据缓冲区内所有数据与本地副本的相关运算并做出判决。31 位扩频码系统,需要处理 496 对数据的相关运算,运算时钟是采样时钟的 16 倍频;127 位扩频码系统,需要处理 2032 对数据的相关运算,运算时钟是采样时钟的 64 倍频。

2.2.3 电路性能分析

延迟相关捕获电路的实现采用定点运算(采样数据表示为符号位 1 位、整数位 6 位、小数位 9 位,本地副本表示为符号位 1 位、整数位 5 位、小数位 10 位),存在一定的运算精度损失。图 8 所示为定点运算捕获电路与浮点运算 Matlab 仿真的性能对比(31 位扩频码系统):定点运算的相关值峰值位置跟浮点运算相同,不存在捕获位置偏差;定点运算的相关值峰值略低于浮点运算,损失为 0.048%,不影响同步捕获。

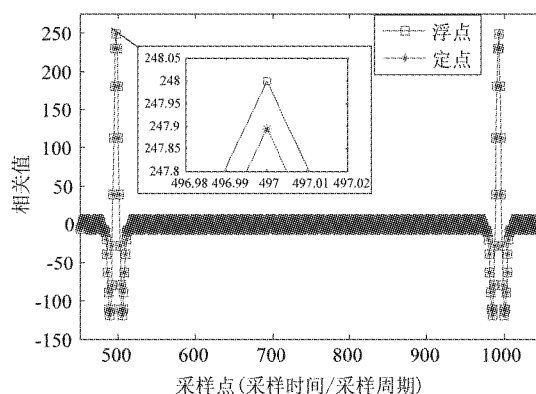


图 8 延迟相关捕获电路的性能

UADSSS/CDMA 的延迟相关捕获电路同时支持 31 位、127 位扩频码系统,表 3 所示为其逻辑资源占用情况。

表 3 延迟相关捕获电路占用的逻辑资源

逻辑单元 LE(个)	存储器 RAM(位)	9 位乘法器单元(个)
1624	32768	2

3 实验结果分析

3.1 水声试验平台测试

3.1.1 试验环境

水声试验平台如图 9 所示。试验环境是一个长 1.8m、宽 1m、深 0.6m 的水箱;试验平台设置了 4 套 UADSSS/CDMA 通信装置,每套通信装置由主机和换能器组成,其中 3 套用于发射信号,1 套用于接收信号;监控 PC 机通过异步串口与各个主机通信,配置参数和接收、分析数据;示波器用于监测发射机和接收机的信号。



图 9 水声试验平台

3.1.2 单用户通信试验

图 10 是无 RA 编解码的单用户通信试验结果,该试验主要测试系统的抗多径性能,测试了通信距离、数据包长度与误码率的关系。试验结果表明,系统在多径干扰严重的水箱环境中,在无信道编码的

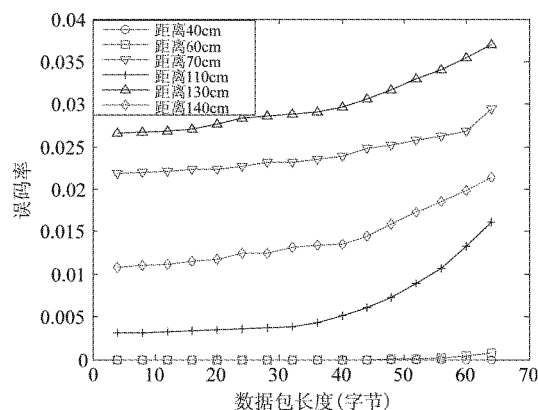


图 10 单用户通信实验结果

情况下,误码率在 0.04 以下,具有较强的抗多径性能。同时,从图 10 可以看出,在相同距离下,随着数据包长度的增加,误码率增加,主要原因是:1)在相同的通信间隔情况下,随着数据包长度增加,多径干扰加重;2)随着数据包长度增加,接收机和发射机的相位偏差累积增大,提高了误码率,这是本系统下一步要解决的问题。在距离 70cm、130cm 的位置,误码率较高的原因是:在水箱环境中,该位置的多径干扰更加严重。

3.1.3 多用户通信试验

图 11 给出了采用 RA 编解码的多用户通信试验结果,该试验主要测试 RA 编解码的性能和系统对多用户通信的支持能力。RA 编解码的参数为信息分组长度为 160、重复次数为 3、迭代次数为 8。实验结果表明,RA 编解码可以明显降低系统的误码率,在单用户通信情况下,系统的误码率为 10^{-4} 数量级;系统具有较强的支持多用户通信的能力,存在 1 个用户干扰和存在 2 个用户干扰的通信性能相当,系统通信的误码率为 10^{-3} 数量级。

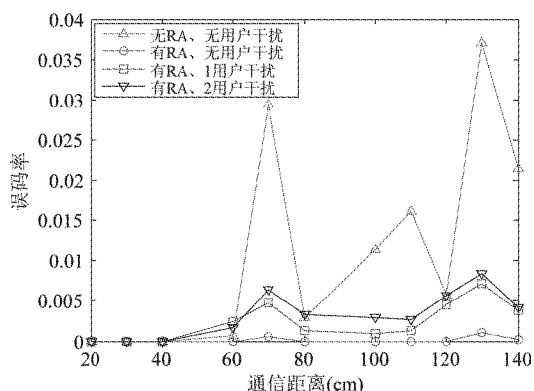


图 11 多用户通信实验结果

3.2 湖试和海试

3.2.1 试验环境

为了进一步测试 UADSSS/CDMA 的性能,进行了湖试和海试。湖试环境如图 12 所示,这是一个长 35m、宽 15m、水深 3m 的水池,设置了两个水声通信节点,节点布置在水深 1.5m 处,节点间的距离为 30m。海试环境如图 13 所示,这是一个长 300m、宽 200m、水深 8m 的海港,设置了两个水声通信节点,节点布置在水深 4m 处,节点间的距离为 200m。

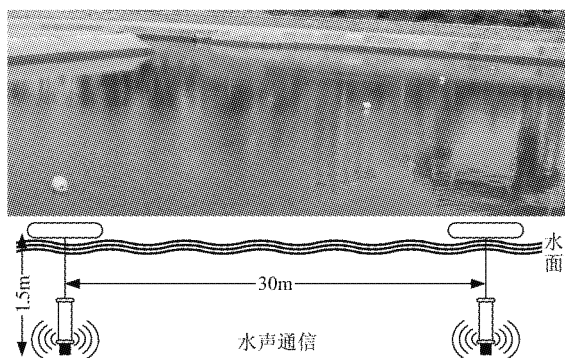


图 12 湖试实验环境

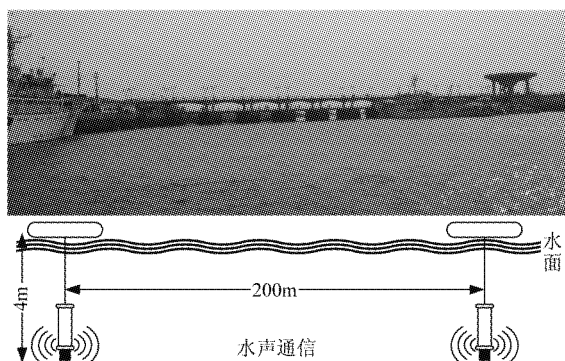


图 13 海试实验环境

3.2.2 湖试结果

湖试主要测试在多径干扰严重的大型水池环境下点对点双向通信的性能,进行了 20 组测试,总共收发数据 815 帧(每帧 64 字节),不同误码率的数据包分布如图 14 所示。试验结果表明,通信性能较好,零误码的数据包占 74.8%;有 17.7%的数据包捕获错误,误码率在 20% 以上。

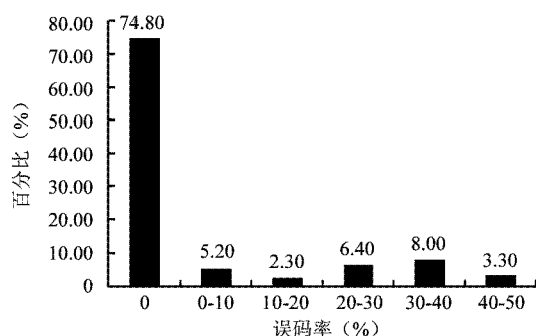


图 14 湖试实验结果

3.2.3 海试结果

海试主要测试在多径干扰严重的海港环境下点对点双向通信的性能。海试通信距离比湖试有所增长,由 30m 增加到 200m,进行了 20 组测试,总共收

发数据 815 帧(每帧 64 字节),不同误码率的数据包分布如图 15 所示。试验结果表明,零误码的数据包占 34.4%,有 50%的数据包捕获错误,误码率在 20% 以上。与湖试结果相比,系统性能下降较大,主要原因是随着通信距离的增大,接收机的灵敏度成为制约系统性能的主要因素,设计高灵敏度的模拟前端电路是本系统下一步要解决的问题。

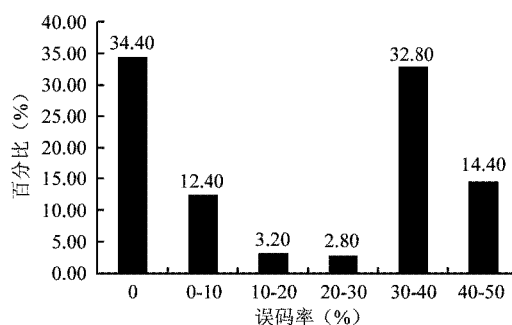


图 15 海试实验结果

4 结论

针对 UWSN 的需求,设计实现了一个低复杂度的支持 CDMA 机制的水声直接序列扩频通信系统 UADSSS/CDMA。信道编码电路采用规则 RA 码,基于最小和算法给出了一种基于查找表方法的快速运算电路实现方案。信号捕获电路采用延迟相关捕获算法,给出了一种低复杂度的基于流水线结构的逻辑电路实现方案。进行了水声试验平台测试、湖试、海试等性能测试,试验结果表明系统在抑制多径干扰和支持多用户通信方面具有良好的性能。同时,通过试验发现,随着通信数据包长度的增加,接收机和发射机的相位偏差累积增大,系统误码率提高,这是由于在接收机中采用单次同步策略造成的,因而设计实时时钟恢复策略是下一步的研究重点。另外发现,随着通信距离的增大,接收机的灵敏度成为制约系统性能的主要因素,因而设计高灵敏度的模拟前端电路也是下一步的工作重点。

参考文献

- [1] Akyildiz I F, Pompili D, Melodia T. Underwater acoustic sensor networks: research challenges. *Journal of Ad Hoc Networks*, 2005, 3(3): 257-279
- [2] Sozer E M, Stojanovic M, Proakis J G. Underwater acoustic networks. *IEEE Journal of Oceanic Engineering*, 2000, 25 (1): 72-83
- [3] Stojanovic M, Freitag L. Multichannel detection for wideband underwater acoustic CDMA communications. *IEEE Journal*

- of *Oceanic Engineering*, 2006, 31(3): 685-695
- [4] 殷敬伟,惠俊英,王逸林等. M 元混沌扩频多通道 Pattern 时延差编码水声通信. 物理学报, 2007, 56(10): 5915-5921
 - [5] 王翔,黄建国,尹玉红. 水下跳频通信系统的建模与仿真. 系统仿真学报, 2008, 20(2): 453-457
 - [6] Palmese M, Bertolotto G, Pescetto A, et al. Spread spectrum modulation for acoustic communication in shallow water channel. In: Proceedings of the OCEANS2007-Europe, Aberdeen, Scotland, UK, 2007. 430-433
 - [7] 张歆,彭纪肖,李国梁. 采用 FSK 调制的直接序列扩频水声通信技术. 西北工业大学学报, 2007, 25(2): 177-180
 - [8] 黄晓萍,桑恩方. 一个水声扩频通信系统设计与实现. 海洋工程, 2007, 25(1): 127-132
 - [9] Sozer E M, Proakis J G, Stojanovic M, et al. Direct sequence spread spectrum based modem for underwater acoustic communication and channel measurements. In: Proceedings of the OCEANS'99 MTS/IEEE-Riding the Crest into the 21st Century, Seattle, WA, USA, 1999. 228-233
 - [10] Chung S Y, Richardson T J, Urbanke R L. Analysis of sum-product decoding of low-density parity-check codes using a gaussian approximation. *IEEE Transactions on Information Theory*, 2001, 47(2): 657-670
 - [11] 高宏峰,许宗泽. RA 码译码简化算法的研究. 四川大学学报, 2004, 36(4): 107-110
 - [12] 郭经红,尤肖虎,程时昕. WCDMA 系统中匹配滤波器的 FPGA 实现. 通信学报, 2001, 22(1): 52-58

Design and implementation of a FPGA based low complexity underwater acoustic direct sequence spread spectrum communication system

Wang Qin, Liu Lanjun, Zhang Xiaotong, Liu Jinlong, Zhang Yuzhou

(School of Information Engineering, University of Science and Technology Beijing, Beijing 100083)

Abstract

Based on the technology of field programmable gate array (FPGA), a low complexity underwater acoustic direct sequence spread spectrum (UADSSS) communication system for CDMA based networks (UADSSS/CDMA) was designed and implemented. The whole design of the system and the design details of the channel coding module and the signal acquisition module were introduced. The regular repeat accumulating (RA) code was adopted in the channel coding module, and based on a low complexity minimum sum algorithm, a design for fast iteration was introduced. The delay correlation acquisition algorithm was used in the signal acquisition module, and a low complexity pipelining based implementation scheme was designed. The practical underwater acoustic communication tests based on a laboratorial test bench, a small lake and a shallow sea were carried out. The results showed a good performance of the designed system in supporting multi-user communication and suppressing multi-path interference. In the laboratorial test bench environment, the bit error rate (BER) of the system in three-user communication is of the order of 10^{-4} , and that of the system in two-user communication is 10^{-3} . In the small lake test, 74.8% of the data packets were bit-correct. In the shallow sea test, 34.4% of the data packets were bit-correct.

Key words: underwater acoustic communication, underwater acoustic direct sequence spread spectrum (UADSSS), low complexity, repeat accumulating (RA) code, delay correlation acquisition